

Title	画素制御に微小チップを用いた大型フラットパネルディスプレイ製作に関する研究
Author(s)	八木, 貴寛
Citation	
Issue Date	2012-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/10350
Rights	
Description	Supervisor : 松村英樹, マテリアルサイエンス研究科, 修士

画素制御に微小チップを用いた大型フラットパネルディスプレイ製作に関する研究

八木 貴寛 (松村研究室)

【はじめに】MAT-FPD (Micro-Assembling Technology - Flat Panel Display) とは、TFT による従来の画素制御技術に代わり、微細な IC チップを配置することによって画素の制御を行う、超大型 FPD 用基板の新規製造技術である。MAT-FPD による画素制御基板の作製は Fig. 1 に示すように、(1)Si ウェーハのチップ化、(2)画素位置へのチップの選択的移載、(3)有機基板上の所定の画素位置へのチップ埋め込み、(4)金属機能性液体を用いた配線、(5)パッシベーション膜の形成、の主に 5 つに分けられる。これまでに本研究室では、Bosch process による微細チップの作製、チップを有機基板へと移載する手法の開発、有機基板へのチップ埋め込み、金属機能性液体を用いた配線形成技術に関する研究を行ってきた。しかし、チップの埋め込みに関しては未だ十分な検討が行われておらず、また、チップ埋め込みと金属配線の形成に関する研究はこれまで別個に行われてきた。そこで本研究では、IC チップ上の電極間を金属配線で結線することも考慮し、表面に電極部を形成した Si チップの作製、および作製したチップを有機基板へと埋め込むための条件の調査を行った。

【実験】Si チップ作製工程では、ポリシラザン(Perhydropolysilazane : PHPS)を使用して Si ウェーハ上に SiO_2 を成膜し、フォトリソ工程により電極パターンの形成した後、Bosch process によってチップ状に分割し、チップサイズ $200\text{ }\mu\text{m}$ 、高さ $50\text{ }\mu\text{m}$ の Si チップの作製を行った。チップインサイト工程では、型付け工程において環状ポリオレフィン(Cyclo-olefin polymer : COP)に高さ $5\text{--}30\text{ }\mu\text{m}$ の Si の鋳型をプレスしてチップ型・配線型を形成した後、チップ埋め込み工程において、プレスの荷重を $10\text{--}100\text{ kgf}$ 、基板温度を $150\text{--}165\text{ }^\circ\text{C}$ 、荷重保持時間を $5\text{--}20\text{ min}$ の範囲で変化させて作製した Si チップを埋め込み、基板表面の観察を行った。

【結果】Si チップ作製工程では、Fig. 2 に示すように、 $200\text{ }\mu\text{m}$ サイズのチップ表面に、金属配線と結線するための電極パターンを 4 箇所形成した Si チップの作製に成功した。またチップインサイト工程では、Fig. 3 に示すように、チップ埋め込み時の温度、荷重、時間を制御することにより、型付け工程において作製された配線型の形状をある程度維持した状態でのチップの埋め込みに成功した。

【まとめ】配線まで考慮した、基板画素位置への Si 微細チップ配置法を確立した。

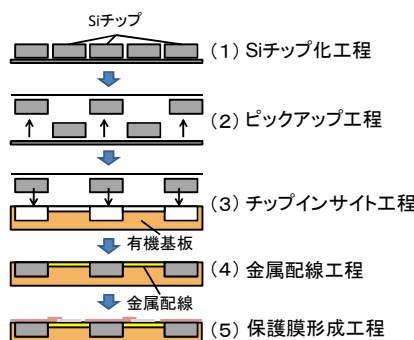


Fig. 1 MAT-FPD の概略

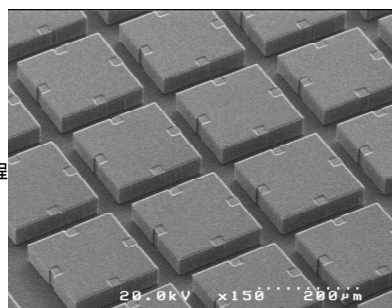


Fig. 2 作製された Si チップ

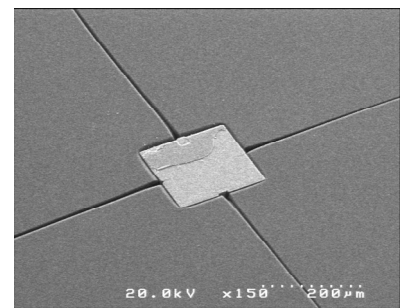


Fig. 3 Si チップ埋め込み結果

【Keywords】 MAT、フレキシブルディスプレイ、環状ポリオレフィン(COP)