

Title	タイミング調整機構を持つ次世代データパス回路の遅延変動耐性と最適合成
Author(s)	金子, 峰雄
Citation	科学研究費助成事業研究成果報告書: 1-6
Issue Date	2013-06-03
Type	Research Paper
Text version	publisher
URL	http://hdl.handle.net/10119/11368
Rights	
Description	研究種目: 基盤研究 (C), 研究期間: 2010 ~ 2012, 課題番号: 22560326, 研究者番号: 00185935, 研究分野: 回路理論, 科研費の分科・細目: 電気電子工学・電子デバイス・電子機器

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 6月 3日現在

機関番号：13302

研究種目：基盤研究（C）

研究期間：2010～2012

課題番号：22560326

研究課題名（和文）タイミング調整機構を持つ次世代データパス回路の遅延変動耐性と最適化

研究課題名（英文）Robustness against delay variations and design optimization for datapath circuits with post silicon timing tuning mechanism

研究代表者

金子 峰雄（KANEKO MINEO）

北陸先端科学技術大学院大学・情報科学研究科・教授

研究者番号：00185935

研究成果の概要（和文）：

将来の極微細集積回路において、製造ばらつきに起因する動作タイミング誤りが克服すべき重要な問題となる。こうしたばらつきによる動作タイミング誤りを解消し、チップ個別の動作速度性能を最大限に引き出すための製造後タイミング調整機構を有する集積回路システムを対象に、タイミング調整性能を最大化する回路構成手法の確立、タイミングテストと連動した製造後タイミング調整アルゴリズムの確立を行った。

研究成果の概要（英文）：

LSIs suffers variations during fabrication process, and timing fault due to those variations is one of the biggest problems for current and future advanced LSIs. Timing skew tuning after fabrication (Post Silicon Skew Tuning) is a key technology to overcome such timing problem and to draw the best possible performance of individual chip. Register transfer level design optimizations of LSIs with PSST mechanism and skew tuning algorithms together with optimized timing test schedule have been developed in this project.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	1,300,000	390,000	1,690,000
2011年度	600,000	180,000	780,000
2012年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	2,900,000	870,000	3,770,000

研究分野：回路理論

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：集積回路、製造ばらつき、セットアップ・ホールド、タイミング・スキュー、高位合成、タイミングテスト、資源割り当て、PDE調整

1. 研究開始当初の背景

集積回路は高度情報化社会を基盤から支える最重要コンポーネントであり、高い計算・情報処理能力、低消費電力、高信頼性を備えた集積回路への要望は止まることがない。一方、微細加工技術の弛みない進歩による微細化の進展と回路規模の増大により、集

積回路システムはナノ・プロセス技術によるシステム・オン・チップの時代を迎えている。個々のトランジスタや配線の微小化・微細化が集積回路システムの性能を押し上げた半面、(1)本来意図して設計・製造される一次的素子に対して、意図しない二次的素子(寄生素子)が相対的に大きくなり、回路システ

ムの特性に与える影響も大きくなっている。また(2)超微細加工技術故の素子形成上のサイズ、形状、不純物濃度などのばらつきが相対的に大きくなり、これによる信号伝播特性などの特性ばらつき・変動が大きな問題となってきた。一方、集積回路システムを設計面から見れば、(3)回路規模の膨大化による設計困難さの拡大と、(4)性能見積りの複雑化と不確かさ拡大、性能保証の困難さの問題が顕在化してきている。

極微細集積回路が持つ性能見積りの複雑化と不確かさ拡大、性能保証の困難さなどの問題に対する研究のアプローチには(1)パラメータばらつきや特性変動をいかにして正確に見積り、設計にフィードバックするかに焦点を当てた研究、(2)パラメータばらつき、遅延変動をいかにして抑え込むかに注目した研究、(3)パラメータばらつき、遅延変動の存在を前提として、その中でいかに正しくかつ高性能に動作する回路を構成するかに注目した研究の、大きく3つの方向性がある。

研究代表者は本研究提案時において、構造的遅延変動耐性と呼ぶ、遅延変動の下で機能的正しさを保証できる回路方式(平成19年度～平成20年度基盤研究(C))に関する研究を進め、データパス回路が正しく動作するためのタイミング条件であるセットアップ条件とホールド条件の成立・不成立が、回路中の信号伝播遅延やレジスタへの書き込み信号などの制御信号に対する細かなタイミング調整のみならず、LSI設計における上流階層である高位合成(アルゴリズム記述;例えばC言語で書かれたソースプログラム;からレジスタ転送レベル回路を合成する設計階層)におけるスケジュール、演算器割当、レジスタ割当と密接な関係を持つことが明らかにされた。ここから、本研究課題にて取り組む高度なタイミング調整メカニズムの導入と高位合成段階における演算器割当、レジスタ割当と積極的な制御タイミング調整による高度な同時最適化により、遅延ばらつき・変動の下で、機能的正しさだけでなく、性能を保証(すなわち、設計時に予定された性能に対して、性能劣化なしに、あるいは劣化を最小化する)して正しく動作する集積回路とその種々発展的応用に関する着想を得ている。

2. 研究の目的

研究課題は、信号伝播遅延のばらつき・変動の下で、性能劣化なしに、あるいは性能劣化を最小限に止めて正しく計算処理を実行し続けるデータパス回路(演算処理ユニット、レジスタ、マルチプレクサ、制御回路などからなる計算処理の中核部)の方式として製造後タイミングスキュー調整を考え、その特性を最大限に引き出す製造前設計手法、製造後

調整手法の確立を目的とする。

(1) 遅延ばらつきに関する問題は従来論理回路レベルで議論されることが多く、どうしても対処的なアプローチに止まっていた。これに対し、高位合成(この結果として、計算の実行タイミングや信号経路が決まる)におけるスケジュール、演算器割当、レジスタ割当と精緻なタイミング調整との高度な同時最適化により、実現される回路性能を飛躍的に高めることを目指す。

(2) 製造後のタイミング調整に関して確立した手法はなく、難易度の高い遅延量計測を多数実施するか、収束性も有限ステップ停止性も保証されない簡便な手法に留まっている。これに対し、タイミングテストを組織的に繰り返しながらタイミング調整量を決定する手法を確立し、併せて有限ステップ停止性と高い調整成功確率を両立した手法を目指す。

3. 研究の方法

(1) 遅延変動の下で正しい動作を保証するデータパス回路の条件・特徴解明:

データパス回路が正しく動作するためのセットアップ条件(データのレジスタへの到着後に書き込み制御信号がレジスタに到着する)とホールド条件(取り込むべきデータが他の信号によって書き改められる前に書き込み制御信号がレジスタに到着する)がある。遅延変動の下でのホールド条件の保証については、研究代表者による事前研究があり、それらの成果を利用することができる。一方、セットアップ条件は計算の入力レジスタから出力レジスタの信号遅延に関係し、システムの動作速度を決めることから、「一般には」遅延のばらつき・変動(遅延の増大)は動作速度の劣化に直結してしまう。そこでタイミングスキュー調整の考えに注目する。制御信号のレジスタへの到着時刻のレジスタ毎の違いを制御スキューというが、これを人工的に制御することによりシステムの動作速度を向上させることができることが知られている。またその際の動作速度限界が絶対的信号遅延時間そのものではなく、最大信号遅延と最小信号遅延の差に依存して決まることが分かっている。こうした準備研究を基礎として、信号遅延のばらつき・変動が動作速度の劣化に直結しないための制御信号スケジュール、資源割当、スキュー制御、遅延ばらつきモデルなどの間の条件や特徴を導く。

性能劣化を許容しない下で得られた回路条件が耐遅延変動性だけでなく、性能保証とどのように関わるかを検討し、将来の「耐遅延変動耐性」と「性能」とのトレードオフの下での設計最適化の基礎とする。

(2) 正しい動作を保証するデータパス回路の性能最適化設計手法の開発:

(1)にて明らかにされた条件・特徴に基づいた、性能劣化なしに正しい動作を保証するデータパス回路の構成法を明らかにする。まず、問題をレジスタ転送レベル高位合成問題の枠組みでとらえ、スケジュールや資源割り当てをスキュー調整性との関係の中で捉え、問題を定式化する。これと共に、合成問題の計算複雑度を明らかにする。取り組む問題のクラス(PかNP困難)によって解法のアプローチが大きく異なり、当該合成問題の計算複雑度を明らかにすることは重要である。次に、ILPあるいはMILPを用いた合成解生成を行い、最適化問題としての厳密解を求める。加えて、大きな合成問題を実行時間内に解くための多項式時間で動く解法を考案する。

(3) 製造後スキュー調整アルゴリズムの開発：

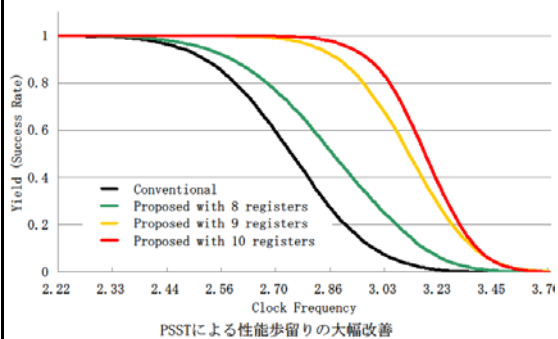
タイミングテストを組織的に繰り返しながらタイミング調整量を決定する手法を確立し、併せて有限ステップ停止性と高い調整成功確率を両立した手法を目指す。従来考えられている遅延量計測に基づく手法では、個々の遅延量計測に大きなコストを要するのみならず、計測対象が通常の回路部に加えて、タイミングスキュー調整のために追加される回路部にも及ぶため、その調整コストと要する時間は膨大なものとなる。これに対してスキュー仮調整と想定する動作スピードでのセットアップ・タイミングテスト、ホールド・タイミングテスト、スキュー調整修正を繰り返すことにより、コスト的にも時間的にも優れた調整手法を目指す。

4. 研究成果

本研究は、極微細集積回路において、製造ばらつきに起因する動作タイミング誤りを解消し、チップ個別・固有の性能を最大限に引き出す『製造後タイミングスキュー調整(Post Silicon Skew Tuning: PSST)』が効果的に機能するためのデータパス回路の特徴解明と最適合成手法の確立を目指すものであり、その成果は大きく以下の5点にまとめられる。

(1) グラフ順序彩色に基づく高位合成手法の開発：実装すべき計算プログラムに対して、その中の全ての演算がタイミング的に正しく実行できるスキュー調整量が存在することが、スキュー制約グラフ(辺重み付き有向グラフ)が正サイクルを持たない事と等価であることから、PSSTを効果的に機能させるためにはスキュー制約グラフが『正サイクルを持つ確率(Probability of Positive Cycles: PPC)』を最小化することが効果的と考えられる。しかしPPCを厳密に求めることはNP困難な問題であることが予想され、PPCそのものを直接評価する代わりに、スキュー

制約グラフの中で製造ばらつきによって正重みになり易い辺(余裕の無い辺)となり難い辺とを分類し、余裕の無い辺のみから成るサイクルを正サイクルになり易い『危険なサイクル』と定義して、この危険なサイクルを最小化する設計戦略を提案した。次いで、この考え方に基づく高位合成の資源割り当て問題(演算を演算器へ、変数をレジスタに割り当てる問題)が、実装すべき計算プログラムと演算スケジュールから導かれる、有向辺と無向辺を含む拡張競合グラフにおいて、辺制約(有向辺は順序関係を、無向辺は非一致性を規定)に従って頂点彩色する数理問題に帰着されることを導き、更にこの問題を解くためのILP定式化を考案した。また、本手法に基づく合成実験とモンテカルロシミュレーションの結果から、本手法が従来手法に比べ、性能歩留りを飛躍的に向上させたことを確認した。



PSSTによる性能歩留りの大幅改善

(2) モンテカルロシミュレーションを利用する資源割り当て最適化手法の開発：順序彩色に基づく高位合成では、本来のPPTとその代替評価である危険なサイクルとの乖離が設計最適化の障害になる例が存在することが確認された。そこでPPCを解析的に求める事の困難さに鑑み、モンテカルロシミュレーションに基づくPPC数値評価を利用し、高位合成の暫定解を逐次改善する発見的合成手法を提案した。順序彩色に基づく手法との比較実験では、モンテカルロシミュレーションから得られる、より正確な評価値に基づく最適化の重要性が確認されたが、その一方で暫定解の逐次改善の最適化アルゴリズムとしての限界から、必ずしも常に最善の解を生成するとは限らないことも明らかとなった。

(3) PDE数最小化のための高位合成手法の開発：PSSTにおいて、製造後タイミングスキュー調整のための遅延調整回路(Programmable Delay Element: PDE)挿入は他方で回路面積の増大、消費電力の増大を招くため、なるべく少ない個数のPDEにて高い調整性能を実現できることが望ましい。こうした観点から、回路中の全てのレジスタに専用のPDEを配置することを前提とした(1)、(2)の合

成とは異なり、指定された遅延ばらつき幅の下でタイミング誤りを解消でき、なおかつ使用するPDEの個数を最小化する高位合成手法を検討・提案した。

(4) PSSTのためのPDE調整アルゴリズム：実際のPSSTの適用には、製造後の個別チップに対するスキュー調整を行う手続を設計する必要がある。スキュー調整量の仮設定とタイミング・テスト、スキュー調整量の修正を組織的に繰り返して調整量を確定する手法を提案した。これは、セットアップタイミングテストとホールドタイミングテストを明確に区別して適用することで、テスト失敗時のスキュー調整方向を特定できることに注目した手法であり、同提案は、世界で初めての有限ステップ停止性を備えたスキュー調整アルゴリズムである。

(5) 動的タイミング変更を考慮したタイミング余裕付きPDE調整アルゴリズム：回路動作時の動的な変動によるタイミング誤り危険性を最小化するための「タイミング余裕制御型スキュー調整アルゴリズム」を開発した。この手法は、目指すPDE設定値に対して、タイミング条件がより厳しいテスト用PDE設定値を用いてタイミングテストを行うものであるが、この際に新しく生じるテスト用PDE設定最小化問題を明らかにし、その問題の性質を明らかにした。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計5件)

[1] Keisuke Inoue, Mineo Kaneko, Heuristic and Exact Resource Binding Algorithms for Storage Optimization Using Flip-flops and Latches, IEICE Trans. Fundamentals, 査読有, 掲載確定.

[2] Keisuke Inoue, Mineo Kaneko, A Formal Approach to Optimal Register Binding with Ordered Clocking for Clock-Skew Tolerant Datapaths, IEICE Trans. Fundamentals, 査読有, Vol. E95-A, No. 12, pp. 2330-2337, 2012.

[3] Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, Backward Data Direction Clocking and Relevant Optimal Register Assignment in Datapath Synthesis, IEICE Trans. Fundamentals, 査読有, Vol. E94-A, No. 4, pp. 1067-1081, 2011.

[4] Keisuke Inoue, Mineo Kaneko, Framework for Latch-Based High-Level Synthesis using Minimum-Delay

Compensation, IPSJ Transactions on System LSI Design Methodology, 査読有, Vol. 4, pp. 232-244, 2011.

[5] Tsuyoshi Iwagaki, Eiri Takeda, Mineo Kaneko, Flexible Test Scheduling for an Asynchronous On-chip Interconnect Through Special Data Transfer, IEICE Trans. Fundamentals, 査読有, Vol. E94-A, No. 12, pp. 2563-2570, 2011.

[学会発表] (計25件)

[1] Mineo Kaneko, Test Planning for Post-Silicon Skew Tuning Based on Graph Partitioning, 電子情報通信学会 VLSI 設計技術研究会, VLD2012-159, pp. 129-133, 2013. 3. 6, 沖縄県那覇市.

[2] Mineo Kaneko, Dynamic Timing-Test Scheduling for Post-Silicon Skew Tuning, 電子情報通信学会 VLSI 設計技術研究会, VLD2012-85, DC2012-51, pp. 153-158, 2012. 11. 27, 福岡県福岡市.

[3] Mineo Kaneko, Timing-Test Scheduling for Constraint-Graph Based Post-Silicon Skew Tuning, Proceedings of IEEE International Conference on Computer Design (ICCD), 査読有, pp. 460-465, 2012. 10. 3, Montreal, CANADA.

[4] Keisuke Inoue, Mineo Kaneko, Statistical Timing-Yield Driven Scheduling and FU Binding in Latch-Based Datapath Synthesis, Proceedings of IEEE Mid-West Symposium on Circuits and Systems, 査読有, pp. 631-634, 2012. 8. 7, Boise, Idaho, USA.

[5] Keisuke Inoue, Mineo Kaneko, Optimal Register-Type Selection during Resource Binding in Flip-Flop/ Latch-Based High-Level Synthesis, Proceedings of ACM/IEEE Great Lakes Symposium on VLSI (GLSVLSI), 査読有, pp. 79-82, 2012. 5. 3, Salt Lake City, Utah, USA.

[6] Mineo Kaneko, Li Jiang, Post Silicon Skew Tuning Algorithm Utilizing Setup and Hold Timing Tests, Proceedings of IEEE International Symposium on Circuits and Systems, 査読有, pp. 125-128, 2012. 5. 21, Seoul, Korea.

[7] Keisuke Inoue, Mineo Kaneko, Reliable and Low-Power Clock Distribution Using Pre- and Post-Silicon Delay Adaptation in High-Level Synthesis, Proceedings of IEEE International Symposium on Circuits and Systems, 査読有, pp. 1664-1667, 2012. 5. 22, Seoul,

Korea.

[8] 春田洋佑, 金子峰雄, 製造後スキュー調整性を最大化するRTL資源割当法, 電子情報通信学会 VLSI 設計技術研究会, VLD2011-127, pp. 43-48, 2012. 3. 6, 大分県別府市.

[9] Keisuke Inoue, Mineo Kaneko, Register Binding and Domain Assignment for Multi-Domain Clock Skew Scheduling-Aware High-Level Synthesis, Proceedings of International Symposium on Quality Electronic Design (ISQED), 査読有, pp. 778-783, 2012. 3. 21, Santa Clara, California, USA.

[10] Keisuke Inoue, Mineo Kaneko, Performance-Driven Register Write Inhibition in High-Level Synthesis under Strict Maximum-Permissible Clock Latency Range, Proceedings of 17th Asia-South-Pacific Design Automation Conference (ASP-DAC 2012), 査読有, pp. 239-244, 2012. 1. 30, Sydney, Australia.

[11] Mineo Kaneko, A Basic Study on Timing-Test Scheduling for Post-Silicon Skew Tuning, 電子情報通信学会 VLSI 設計技術研究会, VLD2011-79, DC2011-55, pp. 159-164, 2011. 11. 29, 宮崎県宮崎市.

[12] Keisuke Inoue, Mineo Kaneko, Early Planning for RT-Level Delay Insertion during Clock Skew-Aware Register Binding, Proceedings of IFIP/IEEE International Conference on Very Large Scale Integration and System-on-Chip (VLSI-SoC) 2011, 査読有, pp. 154-159, 2011. 10. 3, Kowloon, Hong Kong.

[13] Keisuke Inoue, Mineo Kaneko, Register Binding and Domain Assignment for Multi-Domain Clock Skew Optimization, 電子情報通信学会 VLSI 設計技術研究会, VLD2011-51, pp. 61-66, 2011. 9. 27, 福島県会津市.

[14] Keisuke Inoue, Mineo Kaneko, On the NP-Hardness of Minimum-Period Register Binding, 電子情報通信学会 基礎・境界ソサイエティ大会, 講演 A-1-15, 基礎・境界講演論文集, p. 15, 2011. 9. 15, 北海道札幌市.

[15] 李健, 金子峰雄, タイミングテストを利用するLSI製造後スキュー調整アルゴリズム, 電子情報通信学会 基礎・境界ソサイエティ大会, 講演 A-3-17, 基礎・境界講演論文集, p. 91, 2011. 9. 16, 北海道札幌市.

[16] Keisuke Inoue, Mineo Kaneko,

Operation Scheduling Considering Time Borrowing for High-Performance Latch Based Circuits, Proceedings of 9th IEEE International NEW Circuits and System Conference (NEWCAS 2011), 査読有, pp. 245-248, 2011. 6. 28, Bordeaux, France.

[17] Mineo Kaneko, Keisuke Inoue, Ordered Coloring-Based Resource Binding for Datapaths with Improved Skew Adjustability, Proceedings of ACM Great Lakes Symposium on VLSI (GLSVLSI 2011), 査読有, ACM Order No. 477118, ISBN: 978-1-4503-0667-6, pp. 307-312, 2011. 5. 4, Lausanne, Switzerland.

[18] Keisuke Inoue, Mineo Kaneko, Variable-Duty-Cycle Scheduling in Double Edge Triggered Flip-Flop-Based High-Level Synthesis, Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), 査読有, pp. 550-553, 2011. 5. 15, Rio de Janeiro, Brazil.

[19] Mineo Kaneko, A Complete Framework of Simultaneous Functional Unit and Register Binding with Skew Scheduling, Proceedings of International Symposium on Quality Electronic Design (ISQED), IEEE Catalog No. CFP11250-CDR, ISBN: 978-1-61284-912-6, pp. 189-195, 査読有, 2011. 3. 15, Santa Clara, CA, USA.

[20] 党羽, 金子峰雄, 速度性能とタイミングスキュー調整特性に優れたデータパスの合成手法, 電子情報通信学会 VLSI 設計技術研究会, VLD2010-133, pp. 99-104, 2011. 3. 2, 沖縄県那覇市.

[21] Mineo Kaneko, ILP Approach to Extended Ordered Coloring for Skew Adjustably-Aware Resource Binding, 電子情報通信学会 VLSI 設計技術研究会, VLD2010-75, DC2010-42, pp. 131-136, 2010. 12. 1, 福岡県福岡市.

[22] Keisuke Inoue, Mineo Kaneko, Optimal Register Assignment with Minimum-Delay Compensation for Latch-Based Design, Proceedings of 2010 IEEE Asia Pacific Conference on Circuits and Systems, IEEE Catalog No. CFP10APC-CDR, ISBN: 978-1-4244-7455-4, pp. 887-890, 2010. 12. 6, Kuala Lumpur, Malaysia.

[23] Tsuyoshi Iwagaki, Eiri Takeda, Mineo Kaneko, An Approach to Test Scheduling for Asynchronous On-Chip Interconnects Using Integer Programming,

Proceedings of IEEE Eleventh Workshop on RTL and High Level Testing (WRTLTL'10), 査読有, 2010.12.5, Shanghai, P.R. China.

[24] 井上恵介, 金子峰雄, 耐遅延変動データパス合成における性能を考慮した可変式順序制約付レジスタ割り当て, 情報処理学会 DA シンポジウム, pp. 81--85, 2010.9.3, 愛知県豊橋市.

[25] Mineo Kaneko, Ordered Coloring for Skew Adjustability-Aware Resource Binding, 電子情報通信学会 VLD 研究会, VLD2010-42, pp. 1--6, 2010.9.27, 京都府京都市.

6. 研究組織

(1) 研究代表者

金子 峰雄 (KANEKO MINEO)
北陸先端科学技術大学院大学・情報研究
科・教授
研究者番号 : 00185935

(2) 研究分担者

()

研究者番号 :

(3) 連携研究者

()

研究者番号 :