マルチスレッド型ＡＴM交換機アーキテクチャ

松田 理絵子

北陸先端科学技術大学院大学 情報科学研究科

1998 年 2 月 13 日

キーワード： マルチスレッド、ATM、ソフトウェア処理.

Abstract

本研究では ATM 交換機の実現法としてマルチスレッド型 ATM 交換機アーキテクチャを提案する。本方式の ATM 交換機は共有メモリ方式を採用し、セルスイッチングをマルチスレッド型プロセッサを用いたソフトウェア処理で行なう。

このような ATM 交換機では、仮想回線毎への資源割当がクロック単位で可能になる。共有メモリに対するスレッド毎のアクセスは時分割に行なわれるので、競合がない。仮想プロセッサに相当するハードウェアコンテクストが複数あるので、多様な仮想回線への資源割当が性能を低下させることなく柔軟に行なうことができるとみなすことができる。

本稿では、このマルチスレッド型 ATM 交換機アーキテクチャの仕様、アルゴリズム、性能評価シミュレーション結果を示す。

1 はじめに

ATM は B-ISDN の実現に必要な伝送／交換技術とされる。この ATM に適した交換機アーキテクチャは重要な技術課題のひとつで、これまでに様々な ATM 交換機アーキテクチャが提案されてきた。

本研究では ATM 交換機の実現法としてマルチスレッド型 ATM 交換機アーキテクチャを提案する。マルチスレッド型 ATM 交換機では、セルスイッチングをマルチスレッド型プロセッサを用いたソフトウェア処理で行ない、ATM 交換機に QoS に応じた柔軟な制御性を与える。

マルチスレッド型プロセッサの特徴について簡単に説明する。マルチスレッド型プロセッサはハードウェアコンテクストを複数持つ。よって、パイプライン化されたプロセッサでは、コンテクストスイッチのオーバーヘッド無くクロック毎にスレッドを切替えるこ

とができる。本研究では、このマルチスレッド型プロセッサに複数のセルスイッチングスレッドを走らせる。スイッチングスレッドは互いに依存関係を持たないので、プロセッサの CPU 資源を効率良く使うことができ、結果として、スループットが向上する。

本稿では、ハードウェアコンテクストを１つしか持たないシングルスレッド型プロセッサによるセルスイッチングとマルチスレッド型プロセッサを用いたセルスイッチングとを比較してマルチスレッド型 ATM 交換機の有効性を示す。

2　マルチスレッド型 ATM 交換機の設計

本節では具体的にマルチスレッド型 ATM 交換機について説明する。以下の仕様を想定してセルスイッチングを行なう。

マルチスレッド型 ATM 交換機の仕様

- **回線速度×入出力回線本数**：　155Mbps × 8 本
- **バッファ方式**：　共有メモリ方式
- **スイッチプロセッサ**：　MIPS アーキテクチャに基づいたマルチスレッド型プロセッサ
- **スイッチプロセッサのハードウェアコンテクスト数**：8 個
- **スイッチプロセッサのクロック周波数**：　1 GHz
- **共有メモリへのバスのバンド幅**：　少なくとも 340Mbyte/s
- **入出力部**：　IO プロセッサを置く

IO プロセッサの仕様

- １台の IO プロセッサだけでセルを共有メモリに読み書きする
- 入力バッファがある
- **状態表示フラグ**：　入力フラグと出力フラグ
- **処理性能**：　6 Mcell/s

セルスイッチングアルゴリズム

具体的にセルスイッチングアルゴリズムを示す。セルスイッチングは、プロセッサに回線本数分の８つのセルスイッチングスレッドを走らせて実現する。各スレッドは１対の自分の担当する入力回線と出力回線を持つ。

そのスレッドのアルゴリズムを次に示す。

1. **IO プロセッサ**：共有メモリに入力セルを書き込む。

2. **スイッチプロセッサの各スレッド**：共有メモリから入力セルのヘッダを読み出し、変換テーブルを参照してヘッダ変換をし、該当するサービスカテゴリと出力回線の出力キューにセルを入れる。

   出力スケジューリングによって出力セルを決定し、そのセルのアドレスを出力回線に教えるために IO プロセッサのコマンドレジスタに書き込む。

3. **IO プロセッサ**：共有メモリから出力セルを読み出す。

3 性能評価シミュレーション

本節では、前節で設計した ATM 交換機が目標処理性能を満たせるかどうかを検証する。

検証は MIPS プログラムを実行するシミュレータで行なう。そのシミュレータはセルスイッチングスレッドであるプログラムを走らせると、実行命令数の総計を出力する。主な 8 つの処理パターンについてシミュレーションをし、得られた実行命令数からセルスイッチングの実行時間を算出し、検証をする。

検証事項は以下のとおりである。

- マルチスレッド型プロセッサを用いたソフトウェア処理の有効性
- シングルスレッド型プロセッサを用いたソフトウェア処理との比較
- 8 段のパイプラインステージをもったマルチスレッド型プロセッサ上で 8 つスレッドを走らせた場合の性能
- 同期処理をサポートしている場合の性能

4 シミュレーション結果と検証

最初に、マルチスレッド型プロセッサによるソフトウェア処理によって、本仕様の交換機が実現可能性を検証した。1 個のセルをスイッチングさせるのに、もっとも時間がかかる場合で 183[n] であった。本仕様の交換機を満たすためには、1 セル当たりのスイッチング時間を 8 倍した時間が 2730[n] 以下であればよい。よって、$2730[ns] \geq 1464[ns]$ という関係が成り立つことから本仕様の交換機が実現可能、つまり、マルチスレッド型プロセッサによるソフトウェア処理が有効であることがわかった。

次に、マルチスレッド型プロセッサを用いたソフトウェア処理をシングルスレッド型プロセッサを用いた場合とを比較する。すると、マルチスレッド型プロセッサでは 183[ns] で済んだ処理がシングルスレッド型プロセッサでは 247[ns] もかかった。よって、マルチ

スレッド型プロセッサはシングルスレッド型プロセッサに対して約 3 割の性能向上が期待できるということがわかった。

今度はこれまでのパイプラインステージ 5 段をスレッド数と同数の 8 段にしたときのソフトウェア処理にかかる実行命令数について検証した。ステージ数が 8 段になると、シングルスレッド型プロセッサに対してマルチスレッド型プロセッサでは、最大で 83%もの性能向上が見られた。したがって、ステージ数が 5 段の場合よりも 8 段の場合の方がシングルスレッド型プロセッサに対する性能向上比が高まることがわかった。

最後に、マルチスレッド型プロセッサに同期命令を加えた場合の実行命令数を算出して、同期命令によるオーバーヘッドの算出とシングルスレッド型プロセッサに対する比較をした。この同期機構には、スピンロックを用いた。すると、ロックをスピンなしで獲得した場合には同期によるオーバーヘッドは高々3 割で収まった。また、全スレッドによる同一の同期変数アクセスが集中する最悪の場合でも、まだシングルスレッド型プロセッサに比べると、性能がいいこともわかった。

5 終わりに

本稿で提案したマルチスレッド型 ATM 交換機アーキテクチャは ATM 交換の特徴とマルチスレッド型プロセッサの特徴を生かした、双方の利点の相乗効果を狙ったアーキテクチャであった。このような交換機アーキテクチャでは、マルチスレッド型プロセッサによるスループット向上と、ソフトウェア処理による柔軟性の供給が期待され、結果として ATM に QoS 保証が可能な基盤を与えられると見込まれる。そこで本稿では、提案した交換機アーキテクチャがどれほど有効性を持ち得るのかをシミュレーションで検証した。

最初に、設計したマルチスレッド型 ATM 交換機が仕様を満たし、交換機としての役割を果たせるかどうかを調べ、この仕様が実現可能であることを証明した。次に、シングルスレッド型プロセッサを用いたソフトウェア処理と比べてどれくらい性能が向上するのかを検証するためにシミュレーションを行なった。結果として、セルスイッチングのようなスレッド間で依存性が無いプログラムでは、シングルスレッド型プロセッサによるソフトウェア処理に比べてマルチスレッド型プロセッサによるソフトウェア処理の方がスループットが高いことが確認できた。

このシミュレーションを通して得られた事柄のうち、特に重要なことを以下に挙げる。

- マルチスレッド型プロセッサはパイプラインステージ数が多いほど、シングルスレッド型プロセッサに対する性能向上比が高まる。
- マルチスレッド型プロセッサに同期機構を加えても、シングルスレッド型プロセッサよりも性能低下しない。すなわち、同期機構はそれほどのオーバーヘッドではない。

よって、マルチスレッド型 ATM 交換機ではシングルスレッド型プロセッサに比べて、スループットが向上し、有効性を持ち得ることがわかった。今後は、もう一つの課題であるソフトウェア処理による柔軟性の供給について検討していきたい。