

Title	RTLとゲートレベルを混在させた最適な論理回路設計に関する研究
Author(s)	張, 之飛
Citation	
Issue Date	2014-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/12013
Rights	
Description	Supervisor: 田中清史, 情報科学研究科, 修士

RTL とゲートレベルを混在させた最適な 論理回路設計に関する研究

ZHANG, Zhifei (1010754)

北陸先端科学技術大学院大学 情報科学研究科

2014 年 2 月 8 日

キーワード: 論理回路, フィールド・プログラマブル・ゲート・アレー (FPGA), レジスタ・トランスファ・レベル(RTL), Verilog HDL, 回路図

ASIC や FPGA 内に実現される論理回路の設計において、かつては回路図入力方式が一般的であったが、回路集積化技術の向上に伴って、手作業による回路図作成は限界に達しつつあり、近年は Verilog HDL や VHDL などのハードウェア記述言語による HDL 設計が主流になっている。この流れは、更に C 言語などのより高位に位置する言語を使用する設計へと移行する傾向がある。ハードウェア記述言語による設計は、設計者にとって、かつての煩雑な作業フローを大幅に改善でき、回路の細かい部分を考慮せずに動作のみを記述すればよく、開発効率の観点からは高効率であることは間違いない。しかし、言語を使用することは高位合成や論理合成など、回路図入力方式においては存在しなかった工程の追加を強いられ、これにより、物理的に実現不可能な回路を記述すればエラーを起こす。あるいは、設計者の深い知識／経験に基づいた低階層での高度な回路作成が不可能であるといった点がある。このことから、ハードウェア記述言語の使用は回路設計において必ずしも有利とは限らない。

本研究は、Xilinx 社の FPGA を開発するために不可欠な総合的な開発ソフトウェアである ISE Design Suite 13.2 を使用して、デザイン入力、シュミレーション、論理合成、マッピング、配置・配線、プログラミングというステップで回路作成を行う。HDL 設計方式と回路図入力設計方式を使用して以下のタイプの回路を設計し、Spartan-3E Starter Kit Board[7]をターゲットとしたイン

プリメントを行い、スライス数、LUT 数、最大遅延で比較し、どちらの設計方式がより優れるかを評価することで考察を行う。

- (1)加算器 (2)マルチプレクサ (3)7セグメントデコーダー
- (4)トライステート(5)シフトレジスタ (6)カウンタ
- (7)ステートマシン (8)CPU 回路

評価では、各対象回路に対して複数の HDL 設計、複数の回路図設計を用意し、HDL 設計間の比較、回路図設計間の比較、HDL 設計と回路図設計間の比較を行う。更に、規模の大きな回路として CPU を HDL と回路図の両方を使用して階層的に設計し、HDL と回路図の階層的な組合せをいくつか用意し、比較を行う。

生成された回路を比較した結果、HDL 設計方式を使用する大きな利点は、設計抽象度を引き上げることで、HDL 記述を合成ツールで最適化する余地を確保できる点であることがわかった。ゲートレベル記述へ変換された回路は、回路図設計方式で生成されるものと比較して、より小規模な回路が生成される傾向があるほか、高速演算専用のキャリーロジックなどが多用されていることから、特に設計規模の大きな回路において、回路図設計方式よりも最大遅延が短くなる傾向があった。一方で、設計規模が小さい回路では、逆に回路図設計が高い評価の回路を生成する可能性もある。HDL 設計と回路図設計を適切に混在させ、最適なシステム設計を実現することが重要である。

同一の回路に対して、異なる HDL 設計方式は、設計抽象度の差異により最適化の余地と使用される高速演算ロジックの数が異なるため、評価値に差が出た。異なる回路図設計方式でも、構造の差異により論理規模が異なるため、評価も異なる結果となった。さらに、混在設計に関する評価結果から、評価が高い部分回路を含めることにより、回路全体の評価が高くなることがわかった。複雑な大規模回路の設計を行う際には、極力多くのモジュール化と階層化を行い、一つのモジュールの規模を小さくすることで、モジュール毎に HDL 設計、回路図設計の最適なものを選択できる幅が広がる。各モジュールを組み合わせることにより、全体の回路の最適性を向上させることが期待できる。最適的な回路の作成が求められる場合に、両設計方式でそれぞれ設計した結果を比較した上で決定することが可能となるが、設計期間や人的な余力を考慮すると、どのような複雑さと規模の回路に対して、どちらの設計方式を採用すべきかについての基準を構築することが今後の課題である。