

Title	エルモア遅延モデルに基づく最大信号伝播遅延最小化 スタイナー配線
Author(s)	門地, 忠夫
Citation	
Issue Date	1999-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1232
Rights	
Description	Supervisor:金子 峰雄, 情報科学研究科, 修士

エルモア遅延モデルに基づく最大信号伝播遅 最小化スタイナー配線

門地 忠夫

北陸先端科学技術大学院大学 情報科学研究科

1999 年 2 月 15 日

キーワード: エルモア遅延モデル, 配線, VLSI.

機器の小型化, 及び大規模計算処理の要求に対応して, VLSI 設計において高集積化, 高速動作化といった, 単位面積当たりの計算能力を高める研究開発がおこなわれている. デバイス技術の進歩によりゲートスイッチング遅延は確実に小さくなってきている. 一方, 配線抵抗, 配線容量などに起因する配線遅延はスケーリングによる遅延改善効果が小さくゲートスイッチング遅延に代わって, 集積回路の動作速度を決める支配的な要因となってきた. そのため配線遅延を制御する集積回路のレイアウト設計が重要であり, 最大信号伝播遅延を最小化する配置・配線手法及びその CAD に関する研究が活発に続けられている.

配線設計における総配線長最小化は配線面積が占めるレイアウト面積を小さくする意味で古くから研究されてきている. また, 信号伝播遅延の観点からは, ゲートが駆動する総負荷容量を最小化する意味を持ち, 配線容量が支配的な状態においては, 信号伝播遅延最小化にも寄与する. 一方, 最大配線長制限付き総配線長最小化, 距離保存総配線長最小化は, 信号源 (ソース) から伝達先 (シンク) までの配線長を考慮することで, 配線抵抗に起因する信号伝播遅延を制約して, 信号源における総負荷容量を最小化しようとするものである. これらの問題のうち, 総配線長最小化問題は NP 困難であることが知られている. また, 距離保存総配線長最小化問題は, 多項式時間で解けると予想されているが, 現在のところその計算複雑度はわかっていない. そのため, これらの配線問題に関しては様々な発見的手法や確率的手法に基づくアルゴリズムの開発が行なわれている. ところで, これら配線問題は遅延評価に 1 次近似モデルを用いることから, 微細化と高速化に伴って, 遅延評価が不正確となってきた. これに対して, 近年, 配線抵抗と配線容量を用いた 2 次近似モデルであるエルモア遅延モデルが提案され, より正確な遅延評価が可能となった. しかし, エルモア遅延モデルに基づくいくつかの配線アルゴリズムが開発されている

にも関わらず，理論的解析は殆んどなされていない．より効率的なアルゴリズムを開発するためにもエルモア遅延モデルに基づく遅延最小化配線問題の理論的解析は重要である．

本稿では，単一ネットのエルモア遅延モデルに基づく最大信号伝播遅延最小化配線問題に対する検討を行なった．特にここでは配線形状をソースを根としシンクを葉とする2分木（配線2分木）と，この2分木の内部の点（スタイナー点）の位置座標にて特定することとし，配線設計問題を2分木構造決定とスタイナー点位置座標決定の問題として捉えることとした．

始めにエルモア遅延モデルに基づく最大信号伝播遅延最小化問題の性質を明らかにするために，3端子問題，4端子問題等の局所最適性について検討した．3端子問題は，配線2分木中のある任意のスタイナー点 s の最適位置を配線分2分木構造と s を除く他のすべてのスタイナー点位置を固定した条件下で求める問題であり，その解が， s の2つの子を囲む最小矩形と s の親を結ぶ最小線分上にあること，及びその線分上での最適位置決定手法を明らかにした．この3端子問題の解は，端子位置が規定する平面格子上の点及び線分のみを使った配線では最適性に関して不十分であることを示しており，エルモア遅延モデルに基づく遅延最小化が有限解空間を持つ組合せ問題に属さないことが明らかになった．一方，4端子問題は，配線2分木中の2つの連結する（親子関係にある）スタイナー点 s_1, s_2 の最適位置を，配線2分木構造と s_1, s_2 以外のすべてのスタイナー点の座標を固定した条件下で求める問題であり，3端子問題同様，その解の存在範囲を明らかにした．次に3端子問題と4端子問題の一般の配線問題への応用を検討し，初期配線生成と配線改善に基づく配線アルゴリズムを提案した．初期配線アルゴリズムは入力されたシンクとソースに対してソースからシンクまでの距離を最小に保ったまま総配線長の小さい配線を生成する構造的なアルゴリズムであり，これによって生成された解が，すべての連続する2つのスタイナー点で4端子問題を満足するものとなっていることを示した．また配線改善は，4端子問題を考慮した配線2分木における部分木のつけかえと，3端子問題に基づくスタイナー点の移動を適宜行なって，最大信号伝播遅延を改善するものである．

最後に，提案した初期配線アルゴリズムと配線改善アルゴリズムを計算機上で実装し，配線実験を行なった．この実験では，1つのソースと10のシンクで1つのネットを構成するものとして，それら端子の座標位置をランダムに複数パターン生成し，入力とした．結果の評価においては，最適解が不明であることから，最大遅延の下界（ソースが端子の Bounding box の半周長相当容量に全シンク容量を加えた負荷容量を駆動する遅延 + ソースから最大距離にあるシンクまでの伝播遅延）との比較を行ない，最小 125% 最大 159% の最大遅延が得られた．