

Title	パイプライン化によるキャッシュの高周波動作の可能性に関する研究
Author(s)	鷓飼, 和歳
Citation	
Issue Date	1999-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1285
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

パイプライン化による キャッシュの高周波動作の可能性に関する研究

鵜飼 和歳

北陸先端科学技術大学院大学 情報科学研究科

1999年2月15日

キーワード: パイプライン, キャッシュ, メモリセルアレイ, 高周波動作.

Abstract

本論文では、パイプラインキャッシュの設計および性能の評価を行ない、高周波動作の可能性について述べる。

1 はじめに

マシンサイクルの短縮を追求し、RISC(Reduced Instruction Set Computer)が発展してきているが、配線遅延の影響で速度向上が飽和してきている。それを克服するため、プロセッサに高度のパイプライン処理を行いスループットの向上を図ることが盛んに行われている。私たちの研究室では、パイプラインの段数を増やすことにより高周波で動作させ、ステージ数と同数のスレッドを時分割に並列に処理させることにより様々なハザードを回避するマルチスレッド型パイプラインプロセッサの研究を行っている。このプロセッサを効率的に動作させるには、命令やデータを高周波で供給するパイプライン化されたキャッシュが必要となる。

キャッシュをパイプライン化する場合、クロックサイクルの長さはもっとも遅い操作に依存してくるため、パイプラインの段数を増やすことによりクロックサイクルの短縮、すなわち高周波動作が可能となる。本研究では、各ステージごとの詳細な回路設計、チップ内の配置についての設計、およびチップ内を通るアドレスパスやデータパス等の設計を行ない、パイプライン化によりどの程度の高周波動作が可能となるかを検討する。

2 キャッシュ機構のパイプライン化

2.1 キャッシュ機構のパイプライン化

プロセッサの高速化の要求によって、プロセッサのパイプライン処理が行なわれるようになった。パイプライン処理は複数の命令を数段の処理に分割し少しずつずらして同時並行的に実行する実現方式である。これにより命令のスループットを向上させている。本研究ではこのパイプライン処理をキャッシュ機構に適用することによってキャッシュのスループットの向上をねらう。

2.2 キャッシュの容量と構成

マルチスレッド型プロセッサ用の一次キャッシュとして適するよう、容量や構成を以下のように決定した。

- 16 スレッド分の 128K ワード (1 スレッド当たり 8K ワード) のデータ容量を持つスレッド共用キャッシュ。
- 4 ウェイ・セット・アソシアティブキャッシュで、ラインサイズは 4 ワード。
- キャッシュの書き込み方式は、ライトバック方式。
- キャッシュの総容量は、有効ビット部 32Kb、タグ部 480Kb、データ部 4Mb より、4608Kb。

2.3 階層的デコード法

キャッシュ中の操作でも特に遅いものにデコーダがある。そこで、デコーダを 3 段の処理に分割しパイプライン化を施すことによって階層的にデコードを行なう方法を検討する。

2.4 メモリセルアレイの分割

デコーダはラッチを挿入することによりパイプラインの段数を増やすことができる。しかし、メモリセルアレイの読み出し操作はパイプライン化を施すことができない。よって、メモリセルアレイは物理的な大きさを小さくすることにより、遅延時間を短くし、クロックサイクルの短縮をはかる。

3 パイプラインキャッシュの設計

0.25 μm テクノロジーにおけるパイプラインキャッシュの各ステージごとの詳細な回路設計、チップ内の配置についての設計およびチップ内を通るアドレスパスやデータパス等の設計を行なった。シミュレーションと設計は密接に関連しており、それぞれを繰り返し最適な設計を行なった。特にラッチを挿入する箇所については、シミュレーションを繰り返し、最適な位置にできるだけ小さなラッチを挿入するよう努めた。

また、パイプラインキャッシュを構成する様々な基本回路のレイアウト設計を行ない、パイプライン化により増加する回路の面積がどの程度になるかについて検討した。

4 SPICE シミュレーション

シミュレーションで用いる MOSFET モデルを決定し、pMOS および nMOS の特性を求めた。そして、ステージごとにシミュレーションを行ない、パイプラインキャッシュの段数および動作周波数を明らかにした。

5 考察

5.1 メモリセルアレイの分割に関する考察

パイプライン化によってキャッシュを高周波動作させる場合に、メモリセルアレイの大きさをどの程度にするかが重要となる。1つのメモリセルアレイの大きさを 64 × 64bit、128 × 128bit、256 × 256bit と変化させたシミュレーションを行ない、それぞれの読み出しおよび書き込みにかかる時間を検討した。

メモリセルアレイを小さく分割していくと、全遅延時間に占める配線遅延の割合がゲート遅延の割合よりも小さくなり、分割による高速化率が小さくなる。0.25 μm テクノロジーにおいては、128 × 128bit の大きさが適当であると導き出した。

5.2 プリチャージ回路に関する考察

128 × 128bit のデータメモリにおいて、プリチャージ回路を導入した時とプリチャージ回路を省いた時の、読み出しおよび書き込みにかかる時間の比較を行なった。そして、パイプラインキャッシュという特殊な構成における 128 × 128bit 程度の小さなメモリセルアレイは、プリチャージ回路により高速化されないことがわかった。

6 結論

マルチスレッド型プロセッサは、キャッシュに対してレイテンシよりも高スループットを求める。キャッシュをこのような用途で使用する場合に、パイプライン化によってどの程度の高周波動作が可能となるかを研究した。

パイプライン化によってキャッシュを高周波動作させる場合に、メモリセルアレイの大きさをどの程度にするかが重要となる。メモリセルアレイの分割による高速化率、またプリチャージ回路による効果を明らかにした。

本研究では、4Mb のデータ容量を持つキャッシュの設計を細部にわたり行なった。各ステージごとに詳細な回路の設計、チップ内の配置についての設計、およびチップ内を通るアドレスバスやデータバス等の配線の設計を行ない、各ステージの最小クロックサイクル時間を求めた。0.25 μm テクノロジーでは、9 段のステージ構成とすることにより 3GHz の動作周波数で動作可能であることを導き出した。また、0.10 μm テクノロジーでは、0.25 μm と同じ 9 段のステージ構成では 6.5GHz、さらにステージを分割することにより 7.7GHz の動作が可能であることを導き出した。