

Title	液体プロセス自己整合ZrInZnO薄膜トランジスタに関する研究
Author(s)	Huynh, Thi Cam Tu
Citation	
Issue Date	2015-09
Type	Thesis or Dissertation
Text version	ETD
URL	http://hdl.handle.net/10119/12971
Rights	
Description	Supervisor: 下田 達也, マテリアルサイエンス研究科, 博士

氏名	HUYNH THI CAM TU		
学位の種類	博士(マテリアルサイエンス)		
学位記番号	博材第 382 号		
学位授与年月日	平成 27 年 9 月 24 日		
論文題目	A Study on Solution-Processed Self-Aligned ZrInZnO Thin Film Transistors (液体プロセス自己整合 ZrInZnO 薄膜トランジスタに関する研究)		
論文審査委員	主査	下田 達也	北陸先端科学技術大学院大学 教授
		井上 聡	同 特任教授
		高村 禅	同 教授
		鈴木 寿一	同 教授
		木村 睦	龍谷大学 教授

論文の内容の要旨

To realize all solution-process self-aligned oxide semiconductor thin film transistor (TFT), we have developed a novel diffusion method to dope the oxide semiconductor source and drain regions (S/D regions). Since the self-aligned structure exhibits a low parasitic capacitance and an ability to scale down the size of the device, the TFT with this structure was studied in this dissertation. We studied the ZrInZnO as an oxide semiconductor because of its ability in improving the TFT performance and bias-stress ability.

In our diffusion method, a doping solution, i.e. Sn:PPC solution which is a mixture of a Sn solution and polypropylene carbonate (PPC) solution was prepared. The Sn:PPC solution was coated on the ZrInZnO S/D regions and then the sample was annealed to allow Sn atoms diffuse into the ZrInZnO. Because PPC can be decomposed completely into CO₂ and HO₂ at temperature below 300 °C, the utilization of PPC helps to prevent the formation of the SnO_x film, derived from the Sn solution, between S/D regions of the self-aligned structure.

The first work of this study involves the preparation and characterization of the Sn:PPC solution. TG/DTA, FT-IR, DLS and mass spectrometry methods were used to characterized the Sn:PPC solution. The results show that the solute in the Sn:PPC solution was in an configuration with coordination of large PPC molecules with Sn clusters. The Sn cluster was in a configuration of coordinated PrA ligand, water and oxygen around the Sn atom. The size of the Sn clusters was about 1.6 nm, while PPC molecules in solution was about 1.9 nm, 5.5 nm, 37.6 nm and 721 nm.

In the second work, the Sn:PPC solution was employed to fabricate high conductivity ZrInZnO for S/D regions of self-aligned TFT. The Sn:PPC solution was coated and annealed

to make Sn diffuse into the ZrInZnO film. It was confirmed by AUS method that Sn diffused into ZrInZnO film to a depth of 22 nm. Sn acts as a donor in ZrInZnO, which results in an increase in the conductivity of the ZrInZnO film. Resistivity of the Sn-diffused ZrInZnO was reduced from $4 \times 10^3 \Omega \text{ cm}$ to $1.8 \times 10^{-2} \Omega \text{ cm}$ at annealing temperature of 300 °C under N₂ ambience when the Sn:PPC solution was used. The increase in resistivity of the sample annealed at temperature over 500 °C was due to the change in structure characteristic of the ZrInZnO film. To make high conductive ZrInZnO the ambience including oxygen should be avoided.

The third work concentrated to fabrication of self-aligned ZrInZnO TFT. The source and drain region of the TFT was doped by using the Sn:PPC solution. The self-aligned ZrInZnO TFT exhibited a mobility of $20 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, a threshold voltage of 1 V, a subthreshold swing of 0.2 V/decade, and an ON/OFF ratio of 7. These results indicate that the solution-based doping could provide an alternative way to substitute the ion implantation or plasma treatment which are conducted under vacuum for fabrication of the self-aligned oxide semiconductor TFT.

Because the purpose of this study is to realize all-solution-processed self-aligned oxide semiconductor TFT, the last work reports a high quality gate insulator fabricated by the solution process. Here I presented the investigation of a polysilazane-derived SiO₂ gate insulator prepared using a wet-annealing method. The leakage current density of the wet-annealing SiO₂ film was $2.2 \times 10^{-9} \text{ A/cm}^2$ at 1 MV/cm, which was more than one order of magnitude smaller than that of dry-annealed SiO₂ films. The solution-processed ZrInZnO TFT with both reserve staggered and self-aligned structures prepared using the wet-annealed SiO₂ film as the gate insulator exhibited a rather small gate leakage current of less than $7 \times 10^{-11} \text{ A/cm}^2$ at 15 V. The off current was also dramatically decreased owing to the good performance of the wet-annealed SiO₂ gate insulator.

Generally, the present thesis exposes that all-solution-processed self-aligned oxide semiconductor TFT can be realized in order to reduce the total fabrication cost and production energy that are important factor in electronic device manufacturing and in our modern life.

Key words: *self-aligned thin film transistor, oxide semiconductor, solution process, polypropylene carbonate, Sn diffusion.*

論文審査の結果の要旨

酸化物半導体薄膜トランジスタ(OS-TFT)は、従来のアモルファス Si-TFT に比べて高性能で均一性に優れているので近年表示体に応用され、その研究活動は活発化している。さらなる応用

領域を拡大のためには、セルフアライン構造 TFT の開発は不可欠である。この構造にすると浮遊容量が減り、微細化が可能になる。従って、この構造の TFT を溶液プロセスで作製することは OS TFT にとって希求の目標の一つである。溶液プロセスを用いると低コスト化と製造エネルギー・資源の大幅な削減が可能になる。しかし、今まで溶液プロセスでセルフアライン構造 OS-TFT を開発した例は皆無である。

本論文の研究は ZrInZnO チャンネル層を用いたセルフアライン構造の TFT を溶液プロセスにおける新規な方法で作製することを目的とした。さらに、溶液プロセス化を進めるために、ゲート絶縁膜にも溶液プロセスを適用した。本研究において考案したセルフアライン構造作製のための新規なドーピング法とは、ポリプロピルカーボネート(PPC)を用いる方法である。ZrInZnO 半導体層へ Sn 原子をドーピングするために溶媒として DEGMEA)を用い、Sn 化合物(Sn(acac)₂)と PPC を溶解させて Sn:PPC 溶液を作製した。次にこのように作製した Sn:PPC 溶液をトップゲート構造の TFT に塗布し焼成すると、Sn が ZrInZnO 半導体層に拡散し、高導電性のソースとドレイン領域が形成できることを確認した。その際に PPC は 250°C 以下の温度で CO₂ と HO₂ 完全に分解し、ゲート上の Sn 膜の形成を阻止してソースとドレイン領域を電氣的に完全に分離する機能を果たす。このようにすることで、溶液法を用いた簡単な方法で、セルフアライン構造のソースとドレイン領域の形成に成功した。Sn ドーピングによって ZrInZnO 層の電気抵抗は $4 \times 10^3 \Omega \text{ cm}$ から $1.8 \times 10^{-2} \Omega \text{ cm}$ に激減した。このような手法によって作製した TFT の特性は、易動度 $20 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、SS 値 0.2 V/decade 、ON/OFF 比 7 桁、と大変すぐれた特性を示し、カットオフ周波数も従来の逆スタガ構造の TFT(比較品)に比べて 3 桁向上した。溶液化をさらに進めたるためにこのセルフアライン TFT のゲート絶縁膜をポリシラザンと酸素雰囲気湿式アニール法を用いて形成した。単膜での実験では 450°C で 2 時間のアニールにより、リーク電流は $2.2 \times 10^{-9} \text{ A/cm}^2$ (@1 MV/cm) まで低減できた。これを用いた TFT のリーク電流は、 $7 \times 10^{-11} \text{ A/cm}^2$ (V_g=15V)まで低減でき、十分な実用特性を得た。

以上、本論文は独創的な溶液プロセスによって高性能なセルフアライン構造の OS-TFT が可能であることを世界に先駆けて実証したものであり、学術的にも工業的にも大変優れた内容である。また得られた成果は高性能な TFT 回路等の候補であり今後応用面での貢献が期待される。よって博士(マテリアルサイエンス)の学位論文として十分価値あるものと認めた。