JAIST Repository
https://dspace.jaist.ac.jp/

Title	マルチメディア通信に向けたラベルスイッチング方式の研究
Author(s)	張，偉
Citation	
Issue Date	2000-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1366
Rights	
Description	Supervisor:日比野 靖，情報科学研究科，修士

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

マルチメディア通信に向けた ラベルスイッチング方式の研究

張 偉

北陸先端科学技術大学院大学 情報科学研究科

2000 年 2 月 15 日

キーワード: 可変長フレーム, ラベル, スイッチアーキテクチャ, マルチスレッド型プロセッサ, QoS 制御.

Abstract

本研究では、可変長フレームを扱うラベルスイッチアーキテクチャを提案する。マルチメディアトラヒックを単一ネットワークで扱う際に、各トラヒックの特性に動的に適合させるためには可変長方式が有利である。しかし、プロトコルの複雑さとスイッチング処理の複雑さによりソフトウェア処理に頼るのが一般的であるので、処理スピードが大きなハンディキャップになる。これに対して、提案するスイッチは処理アルゴリズムの簡素化とソフトウェア処理の割合の低減を工夫し、進んだプロセッサ技術を利用することによって、処理スループットを向上することができる。本稿では、このラベルスイッチアーキテクチャの構成とスイッチ処理アルゴリズム及びその実現可能性を示す。

1 まえがき

近年マルチメディアトラヒックを一元的に扱う通信ネットワークが期待されている。それに伴い、転送とスイッチング技術に対する要求も高まっている。データ通信の最も基本的な技術として、固定長方式と可変長方式の論争がくすぶり続けている。マルチメディアトラヒックは多重化の視点から見れば、固定長のデータパケットを扱う方式より可変長のデータパケットを扱う方が多様なトラヒックの特性に対してより柔軟に適合することができると認められるが、プロトコルの複雑さとスイッチング処理の複雑さによりソフトウェア処理に頼らなければならない。それによって、処理スピードの巨大な壁を乗り越えることが難しいと認められる。しかし、近年通信路の品質が著しく向上したことで、低層のプロトコルを簡素化して、高速処理をすることが十分可能になった。さらに、近年のチップ

Copyright © 2000 by Wei Zhang

技術はすさまじく進歩し、高速かつ高スループットのプロセッサやメモリ等が次々と産み出され、今日の高速ルータやスイッチを支えている。

本研究の主題は可変長パケット通信方式を支える高速スイッチアーキテクチャの検討である。従って、可変長のフレームを扱う多重化とスイッチング方式を検討することに基づき、可変長のフレームフォーマットを提案する。更に、可変長フレームの高速スイッチング要求を満たすラベルスイッチアーキテクチャを提案し、その実現可能性を明らかにすることを狙っている。

2 AFFTM フォーマットの提案

AFFTM(Asynchronous Fast Frame Transfer Mode) 方式の提案は可変長フレームを対象とするのに、新しい形式やシグナリング等を起こさずに既存のものの組合せで実現するという考え方に基づき考えたものである。従って、AFFTM 方式の機能は殆んど ATM(Asynchronous Transfer Mode) 方式を参考したものである。

AFFTM フレームのフォーマットが 2Byte のフラッグ、7Byte のヘッダと 48Byte から 5KByte までの可変長ユーザペイロードから構成する。AFFTM フレームのヘッダが ATM セルのヘッダとの区別は遅延優先度フィールドとペイロードサイズフィールドを導入することである。音声トラヒックに対して、AFFTM の最小ペイロードサイズが ATM のペイロードと同じであるから、多重化遅延がほぼ同じである。しかし、複数ユーザが共有フレームの場合、ユーザ数が可変であるから、ATM よりかなり柔軟性がある。一方、データトラヒックに対して、AFFTM の最大ペイロードサイズが 5KByte であるから、多重化オーバーヘッドが非常に小さい。特に、ペイロードサイズが可変であるから、LAN のパケットを分割しなくてもそのまま AFFTM フレームの上に載せることが可能である。これによって、ネットワーク中間ノードのスイッチング処理の量が大幅に削減される。また、AFFTM では QoS パラメタをフレーム毎に設定することができ、これにより高位層からリンクを確立した後、コネクションあるいはコネクションレスにも関わらず、利用可能な QoS 制御機能を提供している。

3 ラベルスイッチアーキテクチャ

非同期可変長フレームを扱うスイッチはヘッダ処理、ルーティング、バッファリング三つの機能を備える必要がある。本提案のスイッチにおいては、全ての回線から入力したフレームは一つの共有メモリでヘッダ処理が行なわれ、その際フレームのボディー部分は一つのフレームヤードで蓄えられる。処理されだヘッダに一つのスイッチラベルを付与することによって、そのフレームは自律ルーティングを行ない、自動的に適当な出力バッファに行く。出力部分はクロスポイント出力バッファアレーである。ここでフレームの優先度と待ち時間に基づき、出力順番を決める。そして、回線速度と合わせてフレームを出力する。このように、出力バッファと共有メモリ型のスイッチアーキテクチャの結合によっ

て内部衝突が生じない理想的なスイッチができ、ソフトウェアスイッチング処理とハードウェア制御のクロスポイント出力バッファアレーの結合によってソフトウェア処理の割合を低減することができる。さらにマルチスレッド型プロセッサを用いることにより、ソフトウェア処理の高いスループットを期待することができるだけではなく、全ての入力回線からの長さが異なるフレームを一つの単純な循環バッファ方式のフレームヤードというメモリに収容できる。ラベル技術を活用して、出力優先制御をハードウェアに任せることで、QoS 制御が簡単かつ高速で行える。本提案では、出力バッファリングにおける仲裁ロジックにより出力の優先性と公平性を調整する。ちなみに、このような出力機構はマルチキャストサービスのサポートも簡単に実現できる。また、到着したフレームの長さが異なるため、入力バッファリングをしなければいけない。本提案では入力バッファリングにおいて、処理単位として閾値を設け、その閾値によって、フレームの塊をつくる。そして、フレーム長がその閾値を越えるかどうかによって、異なる入力方式を採る。この方法で、長さが異なるフレームの入力時間差を抑えることができ、入力待ち時間が短縮することを図る。こういうアイデアで構成するスイッチアーキテクチャでは長さが異なるフレームを処理するスイッチアルゴリズムは非常に単純であるし、バッファの数量も大きくない。ハードウェアとソフトウェアの両方とも実現しやすい構造であると考えられる。

4 シミュレーションによる機能検証

本研究では、三つのシミュレーションを通じて、スイッチング処理アルゴリズムの機能検証を行ない、提案したスイッチアーキテクチャの実現可能性を検討した。

基本処理に関するシミュレーションではソフトウェアシミュレータ SPIM[1]上で MIPS プロセッサに基づくスイッチ処理プログラムを走らせ、実行ステープ数でスイッチの処理スループットを評価した。また、単一スレッド方式及び複数スレッド逐次実行方式との比較を通じて、本提案のヘッド処理においてマルチスレッド方式の性能向上を検証した。

入力バッファリングに関するシミュレーションでは、まず、閾値より小さいフレームの I/O プロセッサ直接制御及び閾値より大きいフレームの DMA 制御の二つの入力フレーム伝送方法を評価することに基づき、閾値の確定を検討した。さらに、入力バッファ内の待ち列長とフレームの待ち時間を検討した。

出力バッファリングに関するシミュレーションでは自作シミュレータで提案した出力優先制御機構の動作とスイッチにおける遅延及びバッファサイズ等の問題を検討した。

シミュレーションの結果によると、今の高性能 MIPS プロセッサを用いて、本提案のスイッチを構成すれば、B-ISDN の基本回線速度とスループットの要求を満たすことが可能であると明らかにした。

[1]SPIM は MIPS R2000/R3000 プロセッサ用に書かれたプログラムを実行するシミュレータであり、アメリカのウィスコンシン大学の James R.Larus 教授に開発され、誰でも自由に利用できるフリーソフトウェアである。

5　むすび

非同期可変長方式はスイッチ処理の複雑さにより処理スピードの面で固定長方式には及ばないが、多種多様のマルチメディアトラヒックに対してより柔軟な対応ができるので魅力もある。提案したスイッチアーキテクチャは可変長フレームを扱うスイッチング処理において、処理アルゴリズムを単純化して、ソフトウェア処理の割合を抑えるのは有効なアプローチだと考えられる。

参考文献

[1] 松田 理絵子,「マルチスレッド型 ATM 交換機アーキテクチャ」, 北陸先端科学技術大学院大学, 修士論文.

[2] Eiji OKI and Naoaki YAMANAKA,「A High-speed ATM Switch Based on Scalable Distributed Arbitration」, IEICE Trans.Commun., VOL.E80-B, No-09, Sep.1997.

[3] James R.Larus,「SPIM S20: A MIPS R2000 Simulatior」, Computer Science Department, University of Wisconsin-Madison.

[4] Craig Partridge, Philip P. Carvey,「A 50-Gb/s IP Router」, IEEE/ACM TRANSCTIONS ON NETWORKING, VOL.6 NO.3 JUNE 1998.