

Title	AI203およびAITiOの化合物半導体異種材料融合集積技術への応用
Author(s)	宇井, 利昌
Citation	
Issue Date	2017-03
Type	Thesis or Dissertation
Text version	ETD
URL	http://hdl.handle.net/10119/14253
Rights	
Description	Supervisor:鈴木 寿一, マテリアルサイエンス研究科, 博士

氏名	宇井利昌		
学位の種類	博士(マテリアルサイエンス)		
学位記番号	博材第416号		
学位授与年月日	平成29年3月24日		
論文題目	Al ₂ O ₃ および AlTiO の化合物半導体異種材料融合集積技術への応用		
論文審査委員	主査	鈴木 寿一	北陸先端科学技術大学院大学 教授
		徳光 永輔	同 教授
		大島 義文	同 准教授
		赤堀 誠志	同 准教授
		前澤 宏一	富山大学大学院 教授

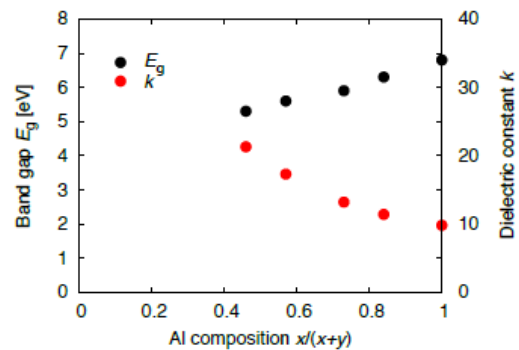
論文の内容の要旨

1. 序論

III-V 族化合物半導体と効率的なゲート変調が可能な高誘電率(high- k)ゲート絶縁膜を組み合わせた MIS デバイスはゲートリーク電流低減・ノーマリーオフ動作が可能なデバイスとして、その実現が期待されている。これまで III-V 族化合物半導体デバイスプロセスにおける high- k 絶縁体として Al₂O₃ ($k \sim 9$) と TiO₂ ($k \sim 60$) の混合物 AlTiO [1-3] が検討されているが、基本物性の組成依存性は十分に明らかにされていなかった。一方、超高速電子デバイスへ応用可能な狭ギャップ化合物半導体 InAs の異種材料融合集積に向けて、低誘電率(low- k)フレキシブル基板(FS)上に InAs を貼付けた InAs/low- k 構造は高電子移動度を示す[4]ものの、貼付界面のゆらぎに起因する電子散乱[5]と大きい低周波ノイズ[6]の問題を有している。この問題の解決のためには、InAs 表面上 high- k 絶縁体の成膜によって得た InAs/high- k を low- k FS に貼り付けた InAs/high- k /low- k 構造が有効であると考えられる。この構造では、low- k FS により低寄生容量を保ちつつ、絶縁体成膜によって得た InAs/high- k 界面の平坦性により、界面ゆらぎの抑制が期待できる。しかしながら、InAs/high- k /low- k 構造を用いたデバイス作製プロセスでは、low- k FS の低い耐熱性による低温プロセスが不可避という困難がある。これまで、低温プロセスによる InAs チャネル電界効果トランジスタ(FET)あるいはフレキシブル基板上 InAs チャネル FET は、これまで報告されていない。本研究では、high- k 絶縁体として AlTiO に着目し、物性値の組成依存性がどのような法則に従っているのか明らかにし、これを III-V 族化合物半導体デバイス技術に応用するための基礎検討を行った。さらに、Al₂O₃あるいは AlTiO を用いた InAs/high- k /low- k 構造を作製し、InAs の電子輸送特性を調べた。また、low- k FS は熱に弱いため、InAs/high- k /low- k 構造作製およびそのデバイス化プロセスについて、結晶成長以外のデバイス作製全プロセスを 130 °C 以下の低温で行った。このような低温プロセスで、どこまでのデバイスが作製可能なのか、どれほどの特性が得られるのかを検証した。

2. 高誘電率絶縁体 Al_2O_3 , AlTiO , および TiO_2 の成膜と評価

原子層堆積法を用いて $\text{Al}_x\text{Ti}_y\text{O}$ の成膜を行った。 Al_2O_3 の原料となるトリメチルアルミニウム- H_2O を l サイクル、 TiO_2 の原料となるテトラキスジメチルアミノチタン- H_2O を m サイクルずつ交互に供給した。成膜温度は 130°C であり、膜厚 $\sim 25\text{ nm}$ 、成膜後に Ar (90%)- H_2 (10%) 混合雰囲気中で 30 分間 350°C の熱処理を行った。得られた $\text{Al}_x\text{Ti}_y\text{O}$ について、X 線光電子分光のピーク強度比から Al/Ti 組成比 x/y を求め、 l/m との関係を得た。これにより、 $\text{Al}_x\text{Ti}_y\text{O}$ 成膜における組成比制御技術が確立した[7]。



$\text{O } 1s$ エネルギー損失分光法(EELS)によりそれぞれの組成でのバンドギャップ E_g を評価した。図 1 に E_g と Al 組成 $x/(x+y)$ の関係を示す。 E_g は Al 組成の増加関数であった。一方、金属-絶縁体

図 1: $\text{Al}_x\text{Ti}_y\text{O}$ のバンドギャップ E_g および誘電率 k の Al 組成 $x/(x+y)$ 依存性。

-金属(MIM)構造の容量値から $\text{Al}_x\text{Ti}_y\text{O}$ の誘電率 k を見積もった。図 1 に k と Al 組成 $x/(x+y)$ の関係を示す。 k は Al 組成の単調減少関数であった。さらに、電子伝導特性を調べるために、 $\text{Al}_x\text{Ti}_y\text{O}/n\text{-GaAs}$ MIS 構造を作製し、電流(J)-電圧(V)特性を評価した。また、温度依存 J - V 特性より $\text{Al}_x\text{Ti}_y\text{O}$ MIS 構造の電気伝導機構の解析を行ったところ、 TiO_2 については、Thermionic-emission が支配的であり、 Al_2O_3 については、Fowler-Nordheim tunneling が支配的であることを示した。一方、中間組成 $\text{Al}_x\text{Ti}_y\text{O}$ については、Poole-Frenkel conduction が支配的であることが分かった。

3. Al₂O₃あるいはAlTiOを用いたInAs/high-*k*/low-*k*構造

MBE成長によるInAsデバイス層/AlAs犠牲層/InAsバッファ層/GaAs(001)から犠牲層選択エッチングによって切離したInAsデバイス層を、中間支持体(レジストコートサファイア基板)上に貼付けた。中間支持体上InAs表面に、原子層堆積法によりAl_xTi_yO(~50nm)、AlNターゲットを用いたECRスパッタ堆積によりAlN(~30nm)を成膜した後、InAs/Al_xTi_yO/AlNを中間支持体から切離し、FS(ラバーコートPET)上に貼付け、InAs/high-*k*/low-*k*構造を得た。比較のため、InAs/low-*k*構造も作製した。その後、図2に示すHall-barデバイスを作製し、InAsチャンネルをウェットエッチングで薄層化しつつ、室温におけるHall測定を行った。

Al₂O₃/GaAs MIS構造の電気的特性評価より絶縁性は低温プロセスと高温プロセスで変わらないため、まず、Al₂O₃を採用した。図3に電子移動度 μ とシート電子密度 n_s のInAs膜厚 d 依存性を示す。 ≤ 15 nmにおいて、InAs/low-*k*構造は界面ゆらぎ散乱により $\mu \propto d^\gamma$ ($\gamma \approx 5-6$)という移動度低下を示すのに対して、Al₂O₃を用いたInAs/high-*k*/low-*k* (InAs/Al₂O₃/AlN/FS)構造では ≤ 10 nmにおいてもこの挙動が見られず、界面ゆらぎ散乱の抑制が確認された。ただし、 ≥ 15 nmにおいて、InAs/high-*k*/low-*k*構造の μ はInAs/low-*k*構造に比べて低く、InAs/high-*k*界面近傍におけるクーロン散乱体の存在が示唆された。また、InAs/high-*k*/low-*k*構造はInAs/low-*k*構造と比較してかなり高い n_s を示した。このことを理解するためにInAs/Al₂O₃界面をEELSで調べたところ、界面近傍のAl₂O₃においてイオン化した酸素欠損ドナーに特有のスペ

クトル [4]が観測された。これにより、酸素欠損ドナーが変調ドーピングによって n_s を増大させるとともに、イオン化した酸素欠損ドナーがクーロン散乱体となっていることが示唆された。この変調ドーピングの機構について

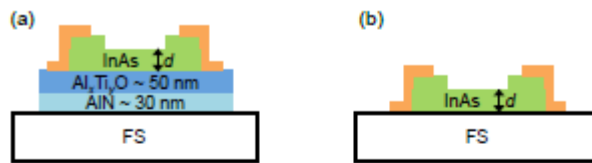


図2: (a) InAs/high-*k*/low-*k*構造と(b) InAs/low-*k*構造を用いたHall-barデバイス。

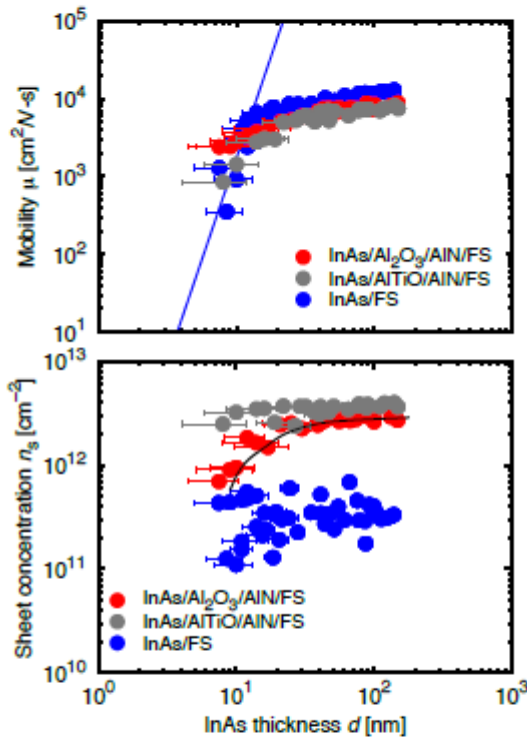


図3: 電子移動度 μ とシート電子密度 n_s のInAs膜厚 d 依存性。青線は $\mu \propto d^\gamma$ ($\gamma=5.2$)、黒線はPoisson/Schrödinger計算により得られた n_s である。

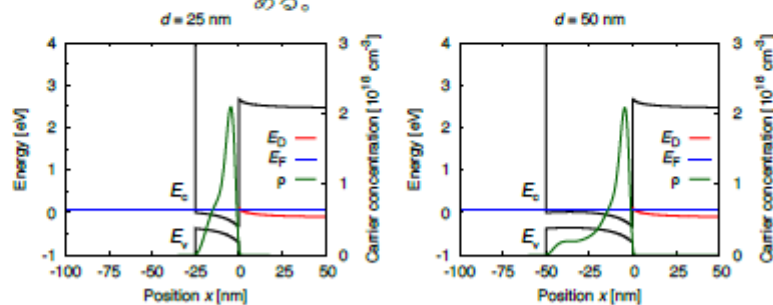


図4: 300 KにおけるInAs/Al₂O₃のバンドプロファイルと電子分布の計算例。 E_c は伝導帯下端、 E_v は価電子帯上端、 E_0 はドナー準位、 E_F はフェルミ準位、 p は電子密度である。

Poisson/Schrödinger 計算を行った。図4に300 KにおけるInAs/Al₂O₃のバンドプロファイルと電子分布の計算例を示す。ここで、Al₂O₃のドナー密度 $1.6 \times 10^{19} \text{ cm}^{-3}$ 、ドナー準位 $E_c - E_D = 2.6 \text{ eV}$ を仮定した。界面近傍のInAsに電子が蓄積されていることがわかる。計算によって得られたAl₂O₃の空乏層長 $\approx 1.3 \text{ nm}$ はEELSの結果と一致し、図3の黒線で示す n_s の d 依存性も実験結果とよい一致を示しており、変調ドーピング機構の妥当性が確認された。

AITIOを用いたInAs/high- k /low- k 構造については、InAs/Al₂O₃/AlN/FSと比較して、InAs/AITIO/AlN/FSでは、低い μ と高い n_s が得られた。さらに、 $d \lesssim 15 \text{ nm}$ において、膜厚ゆらぎ散乱のようなふるまいが示された。これは、AITIO中の組成ゆらぎによるポテンシャルゆらぎが起因している可能性がある。

4. Al₂O₃を用いたInAsチャンネル電界効果トランジスタ

放熱特性を考慮し、high- k 絶縁膜 Al₂O₃ (~100 nm)/AlN (~70 nm)を用いたInAs/high- k /low- k ヘオミック電極形成後、InAs 薄層化を行い膜厚 $d \sim 10 \text{ nm}$ を得た。その後、原子層堆積法を用いてAl₂O₃ゲート絶縁膜(~15 nm)を成膜した。電子線リソグラフィを行った後、Ni/Au (15/100 nm)を蒸着し、ゲート長 $1 \mu\text{m}$ のゲート作製により図5に示すInAsチャンネルFETを得た。得られたFETの出力特性を図6に示す。ゲート電圧 V_G に対して、ドレイン電流 I_D が変調できているものの、 $V_G \lesssim -5 \text{ V}$ から充分なオフ特性が得られなくなっている。

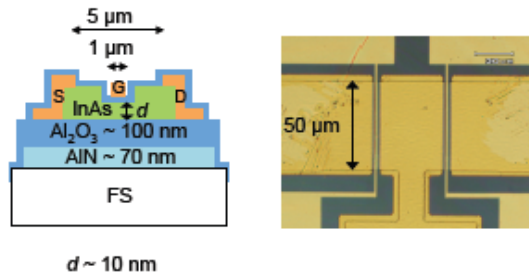


図5: Al₂O₃を用いたInAsチャンネルFETとその寸法。

充分なオフ特性が得られない理由を定量的に調べるために、Poisson/Schrödinger 計算を用いたバンド計算を行った。図7にいくつかの V_G における Al₂O₃ (~15 nm)/InAs (~10 nm)/Al₂O₃ (~100 nm)の計算結果を示す。ここで、Al₂O₃のドナー密度 $N_d = 1.6 \times 10^{19} \text{ cm}^{-3}$ である。 $V_G = 0 \sim -7 \text{ V}$ において、InAsの下地に対応する100 nm Al₂O₃(下地 Al₂O₃)のバンドがほとんど変化せず、InAs/Al₂O₃界面において、フェルミレベルがピンニングされることが分かった。さらに、 $V_G \sim -6 \text{ V}$ で電子密度 ρ_e が抑えられるが、反転層が生じてホール密度 ρ_h が増大し、InAsチャンネル中のキャリア密度が抑えられないことも分かった。これは、図6に示した出力特性のふるまいと一致する。図8に下地 Al₂O₃ の $N_d = 1.6 \times 10^{15} \sim 1.6 \times 10^{19} \text{ cm}^{-3}$ における、InAsチャンネル中のシート電子密度 n_s とシートホール密度 p_s の V_G 依存性を示す。下地 Al₂O₃ の N_d を下げるほど、フェルミレベルピンニングの抑制ができるた

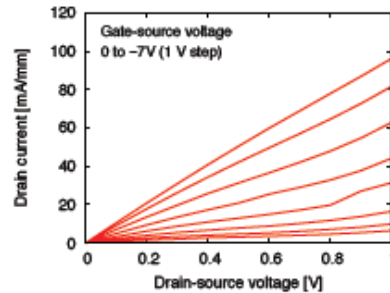


図6: InAsチャンネルFETの出力特性。

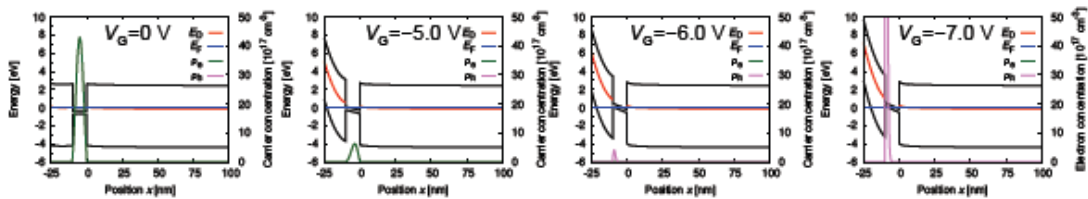


図7: $V_G = 0 \sim -7 \text{ V}$ における Al₂O₃ (~15 nm)/InAs (~10 nm)/Al₂O₃ (~100 nm) のバンド計算結果。ここで、Al₂O₃ のドナー密度 $N_d = 1.6 \times 10^{19} \text{ cm}^{-3}$ 、 V_G はゲート電圧、 ρ_e は電子密度、 ρ_h はホール密度である。

め、 V_G に対して n_s が急峻に変化する。これにより、 n_s と p_s が同時に抑制される V_G の領域が広がることが示された。

5. 結論

high- k 絶縁体として AlTiO に着目し、物性値の組成依存性がどのような法則に従っているのか明らかにし、InAs/high- k /low- k 構造への応用とそれに基づくデバイス作製を検討した。さらに、 Al_2O_3 あるいは AlTiO を用いた InAs/high- k /low- k 構造を作製し、その電子輸送特性を明らかにしつつ、InAs/high- k 界面を評価した。InAs/ Al_2O_3 界面において、界面ゆらぎ散乱の抑制と酸素欠損ドナーによる変調ドーピングが明らかになった。 Al_2O_3 を用いた InAs/high- k /low- k 構造に基づく InAs チャンネル FET の低温プロセスを検討した。InAs チャンネルを充分薄くすることで、FET が動作したものの、十分なオフ特性が得られないという問題も明らかになった。これに対して、InAs チャンネルの下地 Al_2O_3 のドナー密度を低減することにより、オフ特性向上の可能性が示された。AlTiO の化合物半導体デバイス応用へ向けた重要な知見が得られた。本研究を通じて開発された異種材料融合デバイス技術は、様々な応用が可能であると考えられる。

参考文献

- [1] E. Miranda, J. Sune, T. Das, C. Mahata, and C. K. Maiti: J. Appl. Phys. 112 (2012) 064113.
- [2] C. Mahata, S. Mallik, T. Das, C. K. Maiti, G. K. Dalapati, C. C. Tan, C. K. Chia, H. Gao, M. K. Kumar, S. Y. Chiam, H. R. Tan, H. L. Seng, D. Z. Chi, and E. Miranda: Appl. Phys. Lett. 100 (2012) 062905.
- [3] A. Kahouli, O. Lebedev, V. H. Dao, M. B. Elbahri, W. Prellier, and U. Lüders: Appl. Phys. Lett. 109 (2016) 202901.
- [4] H. Takita, N. Hashimoto, C. T. Nguyen, M. Kudo, M. Akabori, and T. Suzuki: Appl. Phys. Lett. 97 (2010) 012102.
- [5] C. Thanh Nguyen, H.-A. Shih, M. Akabori, and T. Suzuki: Appl. Phys. Lett. 100 (2012) 232103.
- [6] S. P. Le, T. Ui, and T. Suzuki: Appl. Phys. Lett. 107 (2015) 192103.
- [7] T. Ui, M. Kudo, and T. Suzuki: Phys. Status Solidi C 10 (2013) 1417.

Keywords

AlTiO, heterogeneous integration, InAs/high- k /low- k , modulation doping, FET

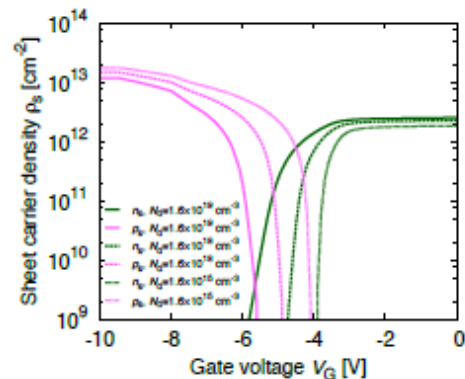


図8: Al_2O_3 の $N_d=1.6 \times 10^{15} - 1.6 \times 10^{19} \text{ cm}^{-3}$ における、InAsチャンネル中のシート電子密度 n_s とシートホール密度 p_s の V_G 依存性の計算結果。

論文審査の結果の要旨

機能的多様化に基づくエレクトロニクスの進歩のためには、半導体材料と様々な材料を組み合わせた技術の発展が不可欠である。化合物半導体エレクトロニクスにおいては、化合物半導体と絶縁体を組み合わせて用いることが重要であり、このことをふまえた絶縁体材料技術の進展が求められている。本研究は、化合物半導体と組み合わせて用いる高誘電率(high- k)絶縁体として、 Al_2O_3 およびAlTiO(Al_2O_3 のと TiO_2 の混合酸化物)に着目し、その性質を明らかにしつつ、化合物半導体異種材料融合集積技術への応用を検討したものである。

まず、 Al_2O_3 、AlTiO、および TiO_2 薄膜の原子層堆積を検討し、組成制御技術を確立した後、

AlTiO の基本物性と表面エネルギーの組成依存性を明らかにした。その結果、組成制御された AlTiO を用いることで、応用に応じて誘電率とバンドギャップのトレードオフをふまえた絶縁体材料の設計が可能であることが示された。

次に、Al₂O₃および AlTiO を、高速電子輸送特性に優れた狭ギャップ化合物半導体 InAs の異種材料融合集積技術に応用することが検討された。これまでに、エピタキシャルリフトフと貼付に基づく異種材料融合集積技術によって、低い寄生容量と軽量性が特徴である低誘電率(low-*k*)フレキシブル基板上の InAs 薄膜 (InAs/low-*k* 構造)が実現されており、高い電子移動度が確認されていた。しかし、貼付界面の揺らぎに起因する電子散乱、low-*k*フレキシブル基板の乏しい放熱特性という問題も明らかになっていた。こうした問題の解決のために、InAs 薄膜と low-*k*フレキシブル基板の間に high-*k* 絶縁層を設けた InAs/high-*k*/low-*k* 構造の作製に取り組み、high-*k* 絶縁層に Al₂O₃あるいは AlTiO を用いた構造の実現に成功した。その結果、InAs 膜厚がサブ 10nm となる領域において、界面揺らぎに起因する電子散乱の抑制が可能であることが示された。また、この構造において生じる変調ドーピング現象を、電子輸送特性の解析・界面分析・数値計算から解明した。

さらに、得られた InAs/high-*k*/low-*k* 構造に基づいて、InAs チャネル電界効果トランジスタ(FET)の作製が行われた。その結果、low-*k*フレキシブル基板に対するデバイスプロセス温度が低温(<150°C)に制限されているにもかかわらず、最大ドレイン電流>120 mA/mm、最大相互コンダクタンス>40 mS/mm という FET の高い電流駆動能力が示された。FET のオフ特性には改善の余地が残されたが、これにより当該技術の可能性が実証されたと言える。

以上のように、本論文では、Al₂O₃および AlTiO の化合物半導体異種材料融合集積技術への応用について新規かつ有用な結果が得られており、学術的および産業的な価値が大きい。よって博士(マテリアルサイエンス)の学位論文として充分価値あるものと認めた。