

| | |
|--------------|---|
| Title | 3次元パッキングに基づく動的再構成スケジューリング |
| Author(s) | 横山, 順一 |
| Citation | |
| Issue Date | 2001-03 |
| Type | Thesis or Dissertation |
| Text version | author |
| URL | http://hdl.handle.net/10119/1484 |
| Rights | |
| Description | Supervisor:金子 峰雄, 情報科学研究科, 修士 |

3次元パッキングに基づく動的再構成スケジューリング

横山 順一

北陸先端科学技術大学院大学 情報科学研究科

平成13年2月15日

キーワード: FPGA, 動的再構成, スケジューリング, 3次元パッキング.

大規模アプリケーションの実装が要求されるにともない, システム規模が増大してきている. ソフトウェアによる実現は, 多種多様なアプリケーションを柔軟に実装できる点で優れているが, ハードウェア実装に比べて演算速度面で劣る. 一方, ハードウェアによる実現では, 高速ではあるが, 多種多様なアプリケーションに対応するためには膨大なハードウェア資源が必要となる. こうした中で, ハードウェア実現の高速性と, ソフトウェア実現の柔軟性を兼ね備えた FPGA(Field Programmable Gate Arrays) の動的再構成が注目されつつある. 動的再構成とはアプリケーションを実行中に, ある論理を実行し終えた FPGA 全体もしくは一部の機能ブロック領域に別の論理を割り当てることである. SRAM タイプの FPGA は, インシステムプログラミング(基板上に装着したデバイスをその場で再プログラミングできる機能)を利用して, 電源を投入したまま再構成できる. このシステムを動的再構成システムという. 現在では動的再構成システムを用い, FPGA の論理規模をはるかに上回る大規模なアプリケーションを実装し, 高速に計算処理を行うことが可能となってきた. データ暗号化標準アルゴリズムの実装等の具体的提案もなされている.

本研究では, 与えられたハードウェア資源に対してそれを上回る大規模な計算処理を, 動的再構成にて実装するための計算ブロックの FPGA 平面上への配置と, 演算の時間スケジューリングの手法について検討を行った.

ここで考える動的再構成システムに対する計算実行では (1) 任意の計算ブロックを任意の場所に, 任意の時刻に構成できる (2) 計算ブロックを新たに構成する際には, 再構成の時間が演算の開始に先立って必要となる (3) すべての時刻, すべての場所において計算ブロックは再構成中を含め高々1つ存在し得るものとした. またこの動的再構成システム上に実装しようとする計算アルゴリズムは頂点を演算, 有向枝をデータ依存関係

とする非巡回型の先行制約グラフにて与えられるものとする．また各演算を実行できる計算ブロックの種類は一意に定まるものとする．

始めに，動的再構成スケジューリング問題の複雑さを明らかにする目的で，計算ブロックの平面上への配置を同時に実装可能な計算ブロックの個数に置き換えて理論的な考察を行い，同時に実装可能な計算ブロック数を 1，計算ブロックの種類数を 2 とした問題に対して最短スケジューリングを求める多項式時間アルゴリズムを導いた．なお計算ブロックの種類数が 1 である時，再構成を考慮しない通常の並列スケジューリング問題に帰着される．また，同時に実装可能な計算ブロック数が 2 以上の問題，計算ブロックの種類数が 3 以上の問題の複雑さは今後の課題となっている．

次に計算ブロックの平面上での構成位置決定を含めた動的再構成スケジューリング問題に対して，確率的解空間探索に基づく手法を提案した．

ここでは，各計算ブロックをその平面的な広がりと時間的生存期間よりなる 3 次元直方体と見なし，それらを FPGA の平面的広がりと時間軸からなる 3 次元空間へパッキングする問題としてとらえることとした．次いで直方体の 3 次元パッキング解空間の表現として提案されている sequence-quintuple を基礎とし (1) 先行制約グラフにて指定された演算間の先行関係と (2) 計算ブロックの再構成を反映した直方体の時間軸方向の伸び縮みを考慮した解表現 (解のコード化) を提案した．これは，5 つの計算ブロック名順列を使うものであり，その中の 2 つの順列にて FPGA 上の x 座標を，他の 2 つにて y 座標をそれぞれ算出し，先行制約グラフのトポロジカル順序に限定した第 5 の計算ブロック名順列と計算ブロック間の $x - y$ 平面上での重なりから，計算ブロックの再構成時刻，演算の実行時刻を算出するものとなっている．

最後に提案した解表現上で，任意の解から任意の解への到達を保証した隣接解を定義し，Simulated Annealing 法にて解空間を探索する手法を構成した．

実験により，冗長な解の多さから Simulated Annealing 法のような探索的な手法では，たどり着きにくい最適解があることが明らかになった．一方 FPGA の xy 平面上における計算ブロックの配置を，1 次元的な x 方向だけとしてパッキングする実験からは良質の解が得られた．このことから，3 次元パッキング空間の探索においても隣接解の定義に制約を加えることなどを行い，時間方向への重なりを減らすことで良質の解が得られることが予想される．本手法を基礎に，より良質の解を得るための解評価手法，隣接解生成手法の検討及び実際に演算を行う際に必要となる計算ブロック間でのデータの受け渡し方法の開発などが今後の課題となっている．