

Title	ウェーブパイプラインプロセッサのクロック分配に関する研究
Author(s)	黄, ビョウ
Citation	
Issue Date	2004-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/1774">http://hdl.handle.net/10119/1774</a>
Rights	
Description	Supervisor:日比野 靖, 情報科学研究科, 修士

# ウェーブパイプラインプロセッサの クロック分配に関する研究

黄 ビョウ (210032)

北陸先端科学技術大学院大学 情報科学研究科

2004年2月13日

キーワード: ウェーブパイプライン ゆらぎ 配置配線.

## 1 序論

本研究の究極の目標はプロセッサの性能向上である。もっと高性能なプロセッサを目指す。プロセッサの性能指標として動作周波数は重要なパラメータである。動作周波数の向上のためにパイプラインは重要な手法である。本研究は、ウェーブパイプラインを用いている回路について、クロック分配の方法を明らかにする。同一クロックソースからクロック信号を伝搬する時、あるステージと次のステージとの間に遅延バッファを挿入しクロックタイミングを調整する。調整する量はパイプラインのステージ間の最小遅延時間に合わせる。ステージが多くなるほど、演算結果の出る時刻の変動が大きくなるので、ウェーブパイプラインがうまく動作するようにクロック分配する必要がある。

本研究ではウェーブパイプラインに対してクロック分配回路構成から配置配線段階にかけて分配最適化を行うことを提案する。

## 2 ウェーブパイプラインの動作原理

通常のパイプラインでは各ステージは同時刻にクロックが入るである、クロック周期は最大遅延となるに対し、ウェーブパイプラインの場合はクロック周期は最大遅延と最小遅延の差で決定とする。クロック周期は短縮できる、従来からの同期式回路に対し、クロック限界の打破ができ、高速に動作させる可能性を持つアーキテクチャと言える。

## 3 MOSFET の性質および評価方法

最初は MOSFET の基本的性質について述べた。また用いた解析方法は、著しい簡単化されてはいるが、概念的には正確であり、集積システムの問題の大部分を解くための基礎

としてものである。

遅延の評価について、回路をシミュレーションするにあたり、MOSFET およびパラメータの設定および計算式を示し、また評価方法を検討を行った。

MOSFET の遅延をもとと物理的な要因に基づいて計算し求める。動作条件とプロセスの変動すると、ゆらぎの原因は明らかにした。MOS の特性から遅延の原因を分析する。主に二つ原因があり、ゲート遅延と配線遅延である。配線遅延は変動しないが、ゲート遅延はプロセス変動により、移動度  $\mu$ 、ゲート幅  $W$ 、ゲート長  $L$  が変化するので変動する。また動作条件の変動により温度と電圧が変化するので、遅延が変動する。

CMOS 上でのウェーブパイプラインの可能性に関する議論を展開するにあたり、遅延のバッファを設計について、簡単なモデル構築し、HSpice によるシミュレーションを通じて特性を評価した。

#### 4 配置配線に関する考察

マイクロプロセッサの性能向上に最も大きな貢献をしているのがより微細な加工を可能にする半導体プロセスの発展である。集積回路の微細化が進むと、比例縮小により動作周波数が向上されるが、配線も微細化することで、面積一定の場合は配線遅延が増加する。

アルミ配線について、簡単なモデルを構築し、HSpice によるシミュレーションを通じて特性を評価した。

RC 回路・線路を分析し、簡単な RC 集中定数回路で近似する方法を考察することを目的として、RC 集中定数の解析を行った。特に受信端を容量性負荷で終端した場合、RC 一段回路について、応答特性の計算式を考察した。また有限長 RC 線路の遅延評価を求めた計算式を検討した。

配線はプロセスが変化するによって、遅延を評価した。配線のゆらぎの原因を考察した。配線は短い場合は 10% のゆらぎがあっても配線遅延の変化は MOSFET の 10% ゆらぎに対し、総体に影響を与える部分が非常に少ないことを明らかにした。

#### 5 ウェーブパイプラインプロセッサのクロック分配手法の提案と評価

ウェーブパイプラインの動作原理と MOSFET と配置配線を基づいて、ウェーブパイプラインに対してクロック分配回路構成から配置配線段階にかけて分配最適化を行うことを提案した。同一クロックソースからクロック信号を伝搬する時、あるステージと次のステージとの間に遅延バッファを挿入しクロックタイミングを調整して、正確なタイミングを与えるためのクロック分配方式の確立した。

ウェーブパイプラインを用いている回路について、クロック分配の方法を明らかにした。

具体的なウェーブパイプラインプロセッサについて配置配線とゆらぎを含んで、プロセッサ全体的にクロック分配を設計し、評価と検討を行った。

任意なウェーブパイプラインの回路に対しクロック分配ではウェーブパイプラインプロセッサのステージが多くなるほど、演算結果の出る時刻の変動が大きくなるのでつまりゆらぎを含み、ウェーブパイプラインプロセッサのクロック分配を分析と検討し、解決方法を提案した。

## 6 結論

本研究で提案するクロック分配手法により、ウェーブパイプラインがうまく動作するのを確保することになった。性能の要因としてサイクルタイムをいかに減らすかが開発の基本である。サイクルタイムの短縮はパイプライン技術と回路技術などを使い動作周波数の向上によりなされる。従来なパイプラインステージの理論段数を減らし、ステージ数を増やした、深いパイプラインでは、1クロック1命令達成できず、効率が低下する。通常のパイプラインではクロック周波数の限界はステージ間の最大遅延時間で決定する。すべてのステージは同一タイミングで動作する必要があるのでクロック分配の難しくなる。ウェーブパイプラインの考え方によって、クロックの分配を遅延素子を挿入し、ゆらぎと配置配線も含んで、高速なCPUアーキテクチャの実現することを可能にした。

## 参考文献

- [1] 日比野 靖:マルチスレッド型超パイプラインプロセッサアーキテクチャ.H10~12 科研費成果報告 (B)(2)10480058, 2002
- [2] Wwntai Liu. Wave-pipelining: A tutorial and survey of recent research. North Carolian State University,
- [3] Xiaohong Jiang and SUsumu Horiguchi : Statistical Skew Modeling for General Clock Distribution Networks in Presence of Precess, 2001.