JAIST Repository
https://dspace.jaist.ac.jp/

Title	ウェーブパイプラインプロセッサのクロック分配に関する研究
Author(s)	黄，ビョウ
Citation	
Issue Date	2004-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/1774
Rights	
Description	Supervisor:日比野 靖，情報科学研究科，修士

JAIST
JAPAN
ADVANCED INSTITUTE OF
SCIENCE AND TECHNOLOGY

Japan Advanced Institute of Science and Technology

修 士 論 文

ウェーブパイプラインプロセッサの クロック分配に関する研究

北陸先端科学技術大学院大学
情報科学研究科情報システム

黄 ビョウ

2004 年 3 月

修 士 論 文

ウェーブパイプラインプロセッサの クロック分配に関する研究

指導教官　日比野 靖 教授

審査委員主査　日比野 靖 教授
審査委員　堀口 進 教授
審査委員　田中 清史 助教授

北陸先端科学技術大学院大学
情報科学研究科情報システム

210032 黄 ビョウ

提出年月: 2004 年 2 月

Copyright © 2004 by Huang Biao

概 要

本研究の究極の目標はプロセッサの性能向上である。更に高性能なプロセッサを目指す。プロセッサの性能指標として動作周波数は重要なパラメータである。動作周波数の向上のためパイプラインは重要な手法である。本研究では、ウェーブパイプラインを用いている回路に、クロック分配方法を明らかにする。同一クロックソースからクロック信号を伝搬する時、あるステージと次のステージとの間に遅延バッファを挿入しクロックタイミングを調整する。調整する量はパイプラインのステージ間の最小遅延時間に合わせる。ステージ数が多くなるほど、演算結果の出る時刻の変動が大きくなるので、ウェーブパイプラインがうまく動作するようにクロック分配する必要がある。

本研究ではウェーブパイプラインに対してクロック分配回路構成から配置配線段階にかけて分配最適化を行うことを提案する。

目 次

第 1 章　序論 **1**
1.1 背景 1
1.2 目的 2
1.3 本論文の構成 2

第 2 章　ウェーブパイプラインの動作原理 **3**
2.1 パイプラインの動作原理 3
2.2 ウェーブパイプラインの動作原理 5
2.3 現在ウェーブパイプラインに関する研究 6

第 3 章　MOSFET の性質および評価方法 **7**
3.1 MOSFET の性質 7
3.1.1 MOSFET の構造および動作原理 7
3.1.2 MOSFET トランジスタ 8
3.2 CMOS 論理回路の性質 9
3.2.1 CMOS の構造 9
3.2.2 CMOS 論理回路の遅延評価 11
3.3 MOSFET のゆらぎ 18
3.3.1 プロセッサの製造 18
3.3.2 MOSFET の動作原理によるゆらぎを分析 18
3.3.3 HSpice シミュレーションでゆらぎを考察 18

第 4 章　配置配線に関する考察 **21**
4.1 配線の構造 21
4.2 配置配線を含み遅延のモデル 22
4.3 容量性負荷で終端した配置配線に関する考察 23
4.3.1 一般的な RC 回路 · 線路の解析 23
4.3.2 容量性負荷が付いた RC 分布線路を解く方程式 25
4.3.3 RC 回路 · 線路の解析ー RC 線路の集中定数近似 29
4.4 配線のゆらぎ 32

第 5 章　ウェーブパイプラインプロセッサのクロック分配手法の提案と評価　33
5.1　ラッチ 33
5.1.1　ラッチの設計 33
5.1.2　ラッチのブロック化 34
5.2　ウェーブパイプラインプロセッサのクロックタイミングモデル分析 37
5.3　五段ウェーブパイプラインプロセッサのクロック分配 38
5.3.1　五段ウェーブパイプラインプロセッサ 38
5.3.2　プロセッサのクロック分配 38
5.3.3　クロック周期を導出 40
5.4　任意なウェーブパイプラインの回路に対しクロック分配手法の検討 45

第 6 章　結論　46
6.1　本研究から分かること 46
6.2　今後の課題 46

図 目 次

2.1 パイプライン手法で組み合わせ論理回路構成図 3
2.2 パイプラインの動作タイミング方式 4
2.3 ウェーブパイプラインの動作タイミング方式 5

3.1 MOSFET 部分拡大の簡単なモデル 7
3.2 MOSFET の遅延モデル 9
3.3 CMOS インバータのモデル 10
3.4 インバータ入力 0 → 1、出力側のゲート容量は 1 負荷 12
3.5 インバータ入 0 → 1、出力側のゲート容量は 2 負荷 12
3.6 インバータ入力 1 → 0、出力側のゲート容量は 1 負荷 13
3.7 インバータ入力 1 → 0、出力側のゲート容量は 2 負荷 13
3.8 nand 論理回路と論理記号 14
3.9 nand 入力 A(0 → 1) B(1)、出力側のゲート容量は 1 負荷 15
3.10 nand 入力 A(0 → 1) B(1)、出力側のゲート容量は 2 負荷 15
3.11 nand 入力 A(1 → 0) B(1)、出力側のゲート容量は 1 負荷 16
3.12 nand 入力 A(1 → 0) B(1)、出力側のゲート容量は 2 負荷 16
3.13 論理回路 Buffer の正常遅延評価 19
3.14 論理回路 Buffer 最大最小ゆらぎでの遅延評価 19

4.1 配線遅延のモデル 21
4.2 遅延のモデル 22

5.1 0.1um ラッチの設計寸法 33
5.2 0.1um ラッチのクロック分配ツリー 34
5.3 一段バッファの正常条件と最悪条件と最良条件の評価 36
5.4 二段バッファの正常条件と最悪条件と最良条件の評価 36
5.5 ウェーブパイプラインプロセッサのタイミングモデル 37
5.6 プロセッサのクロック分配 39
5.7 挿入バッファの内部構築 39
5.8 プロセッサクロックツリーのゆらぎ分析 40
5.9 クロックソースの分析 42
5.10 クロック分配 42

5.11 クロック分配 43
5.12 バッファの挿入モデル 45

表 目 次

3.1 インバータの論理値で表わした入出力関係 10
3.2 Hspice で not 論理ミュレーションの結果 11
3.3 Hspice で nand 論理回路ミュレーションの結果 14
3.4 0.1um ゲート設計のパラメータ 17
3.5 MOSFET の遅延原因をまとめ 18
3.6 バッファのゆらぎ (Hspice、BSIM3v3、0.35um) 18
3.7 バッファの最悪条件と仮定 20
3.8 バッファの最良条件と仮定 20
3.9 バッファ1 のゆらぎ 20

4.1 単位長の配線抵抗と単位面積の配線容量 22
4.2 $\cot\theta$ の根 ($\theta = 1$) 29
4.3 配線のゆらぎ 32

5.1 ラッチの評価 34
5.2 ラッチのクロック分配 35
5.3 ラッチの配置配線 35
5.4 ラッチブロック内部クロック分配ゆらぎ分析 37
5.5 0.1um 遅延予測結果 38
5.6 プロセッサクロックツリーのゆらぎ分析 40
5.7 各ステージラッチのタイミング状態 41
5.8 バッファ１に挿入するバッファA 41
5.9 正常状態のタイミング 44
5.10 最悪状態のタイミング 44
5.11 最良状態のタイミング 44

第1章　序論

本研究ではマイクロプロセッサの高性能化を目的にウェーブパイプライン方式マイクロプロセッサのクロック分配研究を行ってきた。パイプライン手法とは、自動車工場をイメージしてもらうと解かるかと思う。自動車工場では、１台の組み立てには長い時間がかかるものの、流れ作業で自動車を組み立てることによって、完成時には短時間で１台が組み立てられるように見える。このように流れ作業でマイクロプロセッサ内のデータ処理を行うことによって、スループットをあげる方法である。

ウェーブパイプライン手法を、命令パイプラインのような大規模かつ多機能の回路で実現させることを目的に、多機能回路の１つであり、マイクロプロセッサにおいて不可欠なクロック分配において、ウェーブパイプラインプロセッサのクロック分配の手法を提案した。

1.1　背景

時代を切り開く新しい技術は 10 年ごとに誕生しており、システムを構築する技術は新しい技術によって進化し続けている。1990 年からの 10 年間で、プロセッサの性能は３年毎に倍になっている。マイクロプロセッサの性能向上に最も大きな貢献をしているのがより微細な加工を可能にする半導体プロセスの発展である。

性能は、ある仕事の処理を実行するときのその仕事のための純然たる処理時間で比較される。

処理時間＝サイクルタイム ×CPI× 命令数。

開発の基本は右辺の三つの要因をいかに減らすかである。サイクルタイムの減少はパイプライン技術と回路技術などを使い動作周波数の向上によりなされる。

性能の要因にとしてサイクルタイムをいかに減らすかが開発の基本である。サイクルタイムの短縮はパイプライン技術と回路技術などを使い動作周波数の向上によりなされる。

パイプラインステージの理論段数を減らし、ステージ数を増やした、深いパイプランでは、1 クロック 1 命令達成できず、効率が低下する。通常のパイプラインではクロック周波数の限界はステージ間の最大遅延時間で決定する。すべてのステージは同一タイミングで動作する必要があるのでクロック分配の難しくなる。更なるパイプラインの性能向上は遅延時間によるクロック限界の打破が必要となる。ウェーブパイプラインの考え方はクロック周期は最大遅延時間と最小遅延時間の差で決定とする、あるステージと次ステージ

のクロックタイミングオフセットは最小遅延時間によって決める。ウェーブパイプラインではクロック分配が重要な課題になる。本研究の戦略はクロック分配に関し、配置配線と遅延時間の双方を最適化とする。従来からの同期式パイプラインのクロック分配ではできるだけ同じ配線長をとるよう設計するのに対し、ウェーブパイプラインのクロック分配ではあるステージと次ステージの間で時間制約と配置配線を同時に解決するによって設計する。故に本研究は従来からの同期式回路より高速に動作させる可能性を持つアーキテクチャと言える。

1.2 目的

本研究の究極の目標はプロセッサの性能向上である。もっと高性能なプロセッサを目指する。プロセッサの性能指標として動作周波数は重要なパラメータである。動作周波数の向上のためにパイプラインは重要な手法である。本研究は、ウェーブパイプラインを用いている回路について、クロック分配の方法を明らかにする。同一クロックソースからクロック信号を伝搬する時、あるステージと次のステージとの間に遅延バッファを挿入しクロックタイミングを調整する。調整する量はパイプラインのステージ間の最小遅延時間に会わせる。ステージが多くなるほど、演算結果の出る時刻の変動が大きなるので、ウェーブパイプラインがうまく動作するようにクロック分配する必要がある。

本研究ではウェーブパイプラインに対してクロック分配回路構成から配置配線段階にかけて分配最適化を行うことを提案する。

1.3 本論文の構成

本論文は全 7 章により構成される。

第 2 章では本研究が対象としてウェーブパイプラインの動作原理の理論および研究動向に関して説明する。

第 3 章では MOSFET の基本的性質について述べる、また MOSFET の動作条件とプロセスに基づいて遅延のゆらぎを分析と検討する。

第 4 章では配置配線に対し、RC 回路を評価してから、配置配線の遅延を明らかにする。

第 5 章では本研究が提案するクロック分配手法について述べる。あるウェーブパイプラインについてクロック分配させ、検討する。

任意ウェーブパイプラインプロセッサに対し、クロック分配を明らかにする。

第 6 章では本研究のまとめと今後の課程について説明する。

第2章　ウェーブパイプラインの動作原理

本章ではまずパイプラインとウェーブパイプラインに関する動作原理を述べ、本研究が対象とするクロック分配との関係示す。また ウェーブパイプラインがうまく動作するようにクロック分配する必要を明らかにする。

2.1　パイプラインの動作原理

パイプライン処理は、複数の命令を少しずつずらして同時並列的に実行する実現方式である。[4]

パイプライン手法とは、自動車工場をイメージしてもらうと解かるかと思う。自動車工場では、１台の組み立てには長い時間がかかるものの、流れ作業で自動車を組み立てることによって、完成時には短時間で１台が組み立てられるように見える。このように流れ作業でマイクロプロセッサ内のデータ処理を行うことによって、スループットをあげる方法である。

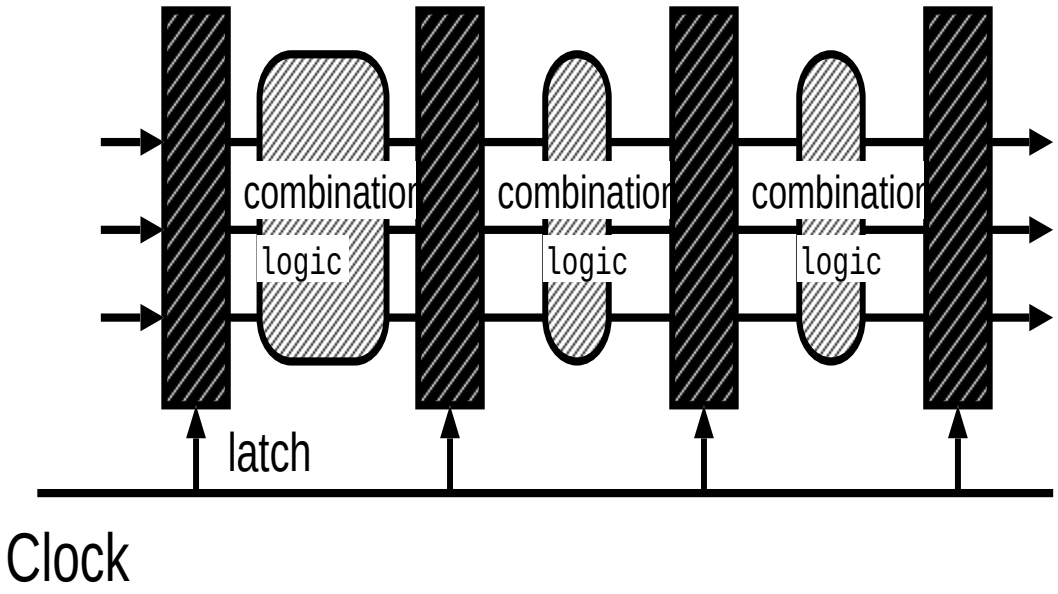

図 2.1: パイプライン手法で組み合わせ論理回路構成図

あるデータバスをパイプライン化して、図 2.1 のようなモデルを表せている。四つな棒状物はラッチと定義されている。普通のパイプラインで全部のラッチは同時に動作する。クロック分配の方はなるべく同距離で分配する。普通のパイプラインの動作原理について概念的な図を用いて説明する。図 2.1 のデータバスは三つのステージを分れている、動作は図 2.2 のようなデータはラッチの間に伝搬している。各ステージ間の全てのラッチには

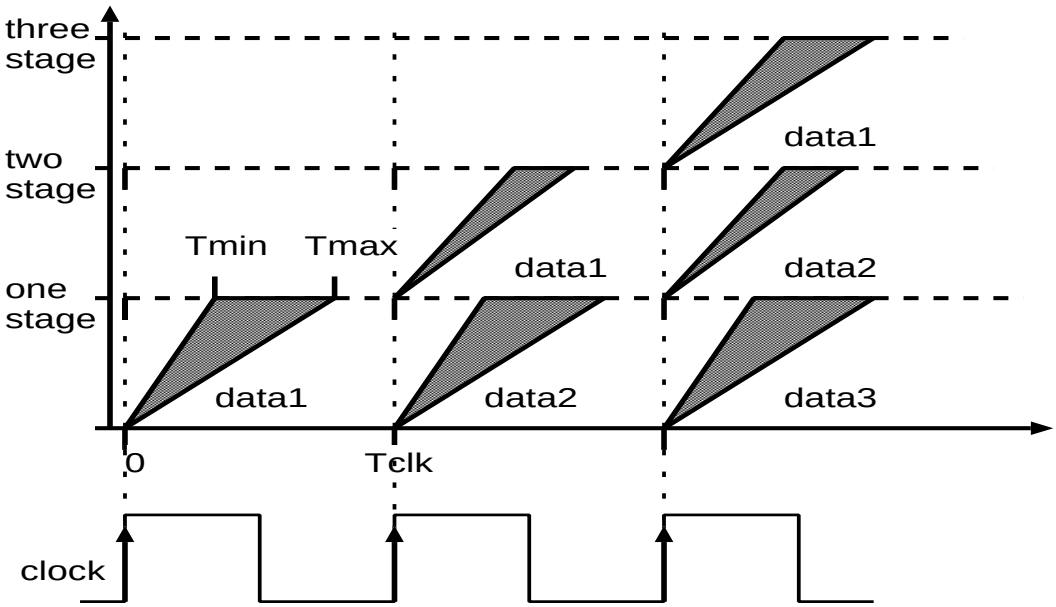

図 2.2: パイプラインの動作タイミング方式

同相のクロックが印可される。ここで、図 2.1 と 2.2 によって、全てのステージのサイクル時間はステージ 1 の最大伝搬時間で決定する、つまりサイクルタイムは各ステージで一番遅くなるステージに依存している。全てのステージが同じタイミングで動き、またどの時刻にもステージ内部には一つのデータしか存在しない。

それで、普通のパイプラインは問題点がある。[1]

- 命令の依存関係によるハザードの発生しやすい
- ステージの論理段数を減らし、ステージ数を増やした、深くパイプランの効率低下
  - 1 クロック 1 命令が達成できない
- クロック周波数の限界
  - ステージ間の最大遅延時間で決定
- クロック分配の難しさ
  - すべてのステージは同一タイミングで動作は難しい

2.2 ウェーブパイプラインの動作原理

図 2.3 のようなデータを伝搬するのは基本的ウェーブパイプライン動作の様子を示している。サイクルタイムは最大遅延と最小遅延の差が最大となるステージの遅延差で決定である。ここでは 1 ステージの遅延差でサイクルタイムが決まる。

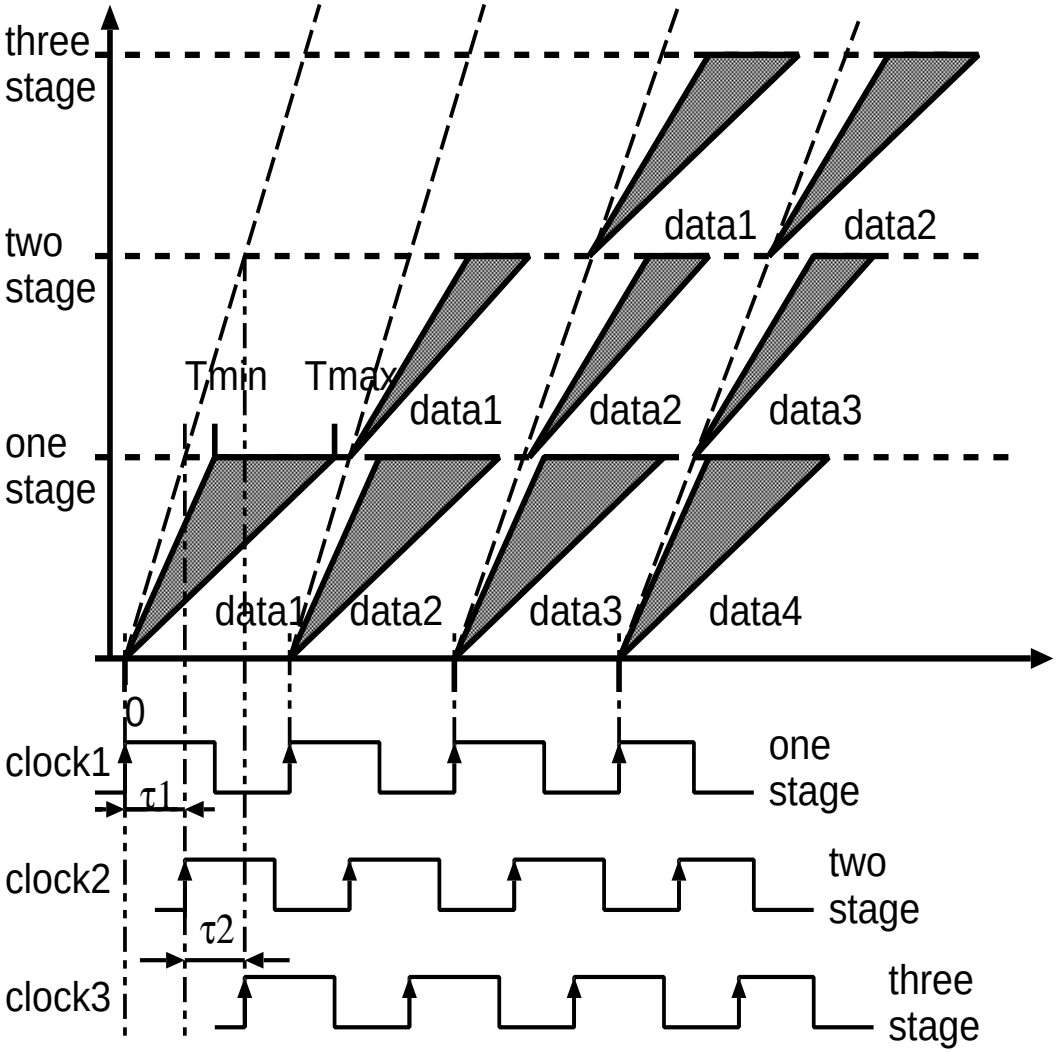

図 2.3: ウェーブパイプラインの動作タイミング方式

通常のパイプラインより、短いサイクルタイムで、各ステージが別々のタイミングで動作することがわかる。それは基本的なウェーブパイプラインの動作原理である。

集積回路の微細化が進めるとことによって、サイクルタイム問題の原因がわかりにくくなってくる。

$$T_{ck} \geq (D_{MAX} - D_{MIN}) + T_S + T_H + 2\Delta ck \tag{2.1}$$

ここで、ウェーブパイプラインの動作原理に基づいて、クロック周期は式 (2.1)[21][2][1] によって表される。T_{ck} はクロック周期、D_{MAX}- D_{MIN} は最大となるステージの遅延差、T_S と T_H はラッチのセットアップとホールド時間、Δck はクロックスキューをそれぞれ示す。

本研究はサイクル時間が決定する要因の明確化を目指し、クロック信号を伝搬する時、クロックスキューは動作周期に影響することを明らかにする。またウェーブパイプライン動作原理に対し、クロック分配ツリーを構築する、ウェーブパイプラインはうまく動くようにクロック分配のはもともとウェーブパイプラインの動作原理の思想によって考えている。クロックの分配については第 5 章に詳しくて述べている。

2.3 現在ウェーブパイプラインに関する研究

式 2.1 は最小遅延分 D_{min} を大きくすることでクロック周期を縮めることができることを示している。現在ウェーブパイプラインに関する研究について主に遅延均衡化を研究のテーマとして行っている。

もっと遅延均衡化するとクロック周期の分配も重要なことを示している。本研究は以前ウェーブパイプラインプロセッサの遅延均衡化してデータを用いて研究を展開している。特にゆらぎの原因を分析し、クロック周期を確保するようにクロック分配をさせる。

ウェーブパイプラインに関する研究では、従来からのバッファ挿入による遅延均衡化を組み合わせてウェーブパイプラインを行う方式が提案されている [8]、一つの素子レベルでの遅延均衡化手法や規則的な回路に対してバッファを挿入する等がおこわれているものの、回路構成から配置配線までを考慮して詳細に検討した、遅延均衡化手法を提案されている [6]、一方で回路の低消費電力動作のためにウェーブパイプランを採り入れる試みなども提案されている [7]、またウェーブパイプラインアーキテクチャと CPU アーキテクチャを組み合わせた例として、マルチスレッドプロセッサに対してウェーブ化を施すことも提案されている [5]。

以上のどの研究もウェーブパイプラインプロセッサの動作原理に基づいての研究であり、遅延均衡化による恩恵をうけることができる。しかし遅延均衡化してからクロック分配に関する研究はあまりない。

本研究の目的はウェーブパイプラインプロセッサのクロック分配の回路を設計から配置配線段階にかけてクロック分配を最適化を行い、分配の手法を提案することにある。

第3章　MOSFETの性質および評価方法

MOS 電界トランジスタ (MOS FET) の性質を説明し、動作条件とプロセスによって、スイッチ素子として利用させているトランジスタの動作を説明する。また 設計ルールに対し、MOSFET のパラメータの計算モデルを示し、遅延評価方法に関して考察を行う。

3.1　MOSFETの性質

3.1.1　MOSFETの構造および動作原理

絶縁ゲート形 FET の具体的な構造の一つ MOS(Metal-Oxide-Semiconductor: 酸化物半導体) 構造のゲートをもつ MOSFET がある。P 形シリコン基板中に二つ不純物濃度の高い N 形領域が作成されている。この N 形領域をソース領域、ドレイン領域という。またソース · ドレイン間の半導体領域の上部に絶縁膜 (酸化膜’：SiO_2) があり、さらにその上に金属電極が形成されている。この金属電極をゲート電極と呼び、この部分の構造 (ゲート構造) が MOS 構造となっている。

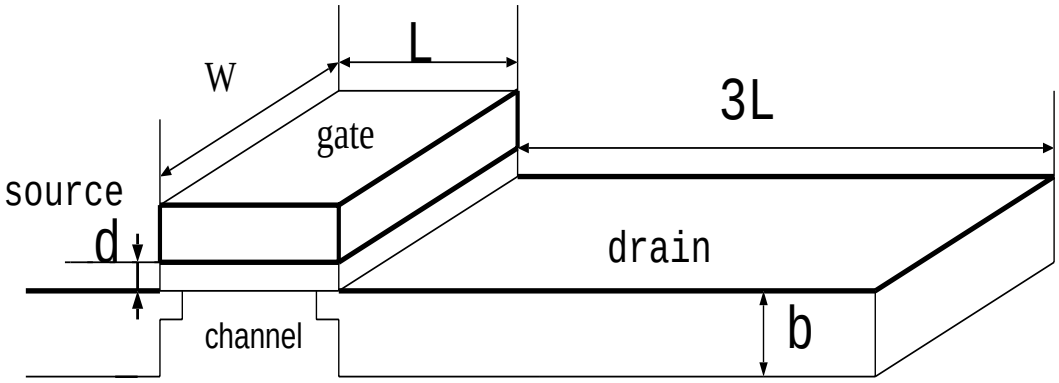

図 3.1: MOSFET 部分拡大の簡単なモデル

MOS トランジスタの基本的な動作原理は、ゲート電極の作用によってソース · ドレイン間のチャネルを流れ負電荷の量を制御することにある。ソース電極から発し、ドレイン電極に流入する電流の大きさは、チャネルに誘起した電荷量を走行時間で割ったものに等しい [9]。図 3.1 はゲートの基本的な構造の拡大しているものを示す。また走行時間は電子

の移動すべき距離を電子の平均速度で割ったものに等しい。半導体内では、通常の場合、電子速度は加速するために加えた電界に比例する。これらを考慮すると、走行時間はドレイン・ソース間電圧 V_{ds} が小さいとき、次の式で与えられる。

$$\tau = \frac{L}{\text{速度}} = \frac{L}{E\mu} = \frac{L^2}{\mu V_{ds}} \tag{3.1}$$

ここで用いた比例定数 μ は印可電界の影響下で流れる電荷の移動度と呼ばれる量であり、単位電界当たりの速度を表している。上に記した走行時間が、集積回路システムのすべてにおいて基本的な時間単位となる。

3.1.2 MOSFET トランジスタ

素子内を流れる電流が電流が素子の両端子間に印可した電圧に比例する場合には、その素子を普通の抵抗器とみなすことができる。ドレイン・ソース間の電圧が低い場合の MOS 素子は式 3.1 に示したように、これに該当する。ゲート・ソース間電圧 V_{gs} がしきい値電圧 V_{th} を越えると、多数の電子がゲート直下のチャネル部分に引き寄せられ、ドレイン・ソース間には導電性の経路が形成される。集積システムで用いる大部分のトランジスタにおいては、しきい値電圧は零よりおおきな値をもっている、正の電源電圧を VDD とした場合、$V_{th} \simeq 0.2\text{VDD}$[9] なる関係が満足去れるように動作条件を設定するのが普通である。

式 3.1 および 3.2 において、C_g は導通状態にあるトランジスタのゲート・チャネル間の容量である。次に、このトランジスタが同一構造をもつ他のトランジスタのゲートを駆動する場合を考える。

走行に関与する負電荷の総量 Q は、ゲートの静電容量と実効ゲート電話との積に等しい。一般に、面積 A の 2 枚平行平板電極が厚さ d の絶縁膜で分離去れている場合の容量は εA/D で与えられる。面積は図 3.1 によって、次式で与えられる。

$$A = W \times L \tag{3.2}$$

ここで、比例定数 ε は絶縁物の誘電率と呼ばれる量であり、A=1cm^2、D=1cm の場合の容量を表わし、その単位は F(ファラッド)/cm である。

これよりゲート容量は次式で与えられる。

$$C_g = \varepsilon \frac{WL}{d} \tag{3.3}$$

それで、電荷 Q および電流 I_{ds} おのおの次の式のようにあらわすことができる。

$$Q = -C_g(V_g - V_{th}) = -\frac{\varepsilon WL}{d}(V_{gs} - V_{th}) \tag{3.4}$$

$$I_{ds} = \frac{\mu \varepsilon W}{Ld}(V_{gs} - V_{th})(V_{ds}) \tag{3.5}$$

この場合の抵抗値 R は、次式に示すように、電圧 V_{gs} により制御される。

$$\frac{V_{ds}}{I_{ds}} = R_{on} = \frac{L^2}{\mu C_g (V_{gs} - V_{th})} \tag{3.6}$$

この場合、システムの時間応答は RC_g を時定数とする指数関数となるが、この時定数は次式に示すように式 3.1 の走行時間と類似の式で表される。

$$R_{on} C_g = \frac{L^2}{\mu (V_{gs} - V_{th})} \tag{3.7}$$

集積回路はどんどん進めると拡散容量の比例を大きくなるので、拡散容量を考えなければならないになってくる。MOSFET の拡散容量はソース · ドレインの拡散層面積と比例定数の積になる。ソースとドレインの拡散容量ほぼ同じである。次式で与えられる。

$$C_d \approx \phi(W3L + 2(3L + W)b) \tag{3.8}$$

そうすると、MOSFET の遅延は次式で与えられる。

$$T = R_{on}(C_g + C_d) \tag{3.9}$$

MOSFET の動作原理に基づいて MOSFET の遅延の原因は明らかになっている。図 3.2 に MOSFET による回路をオン抵抗 R_{on} と容量 $C_g C_d$ でモデル化した図を示す。

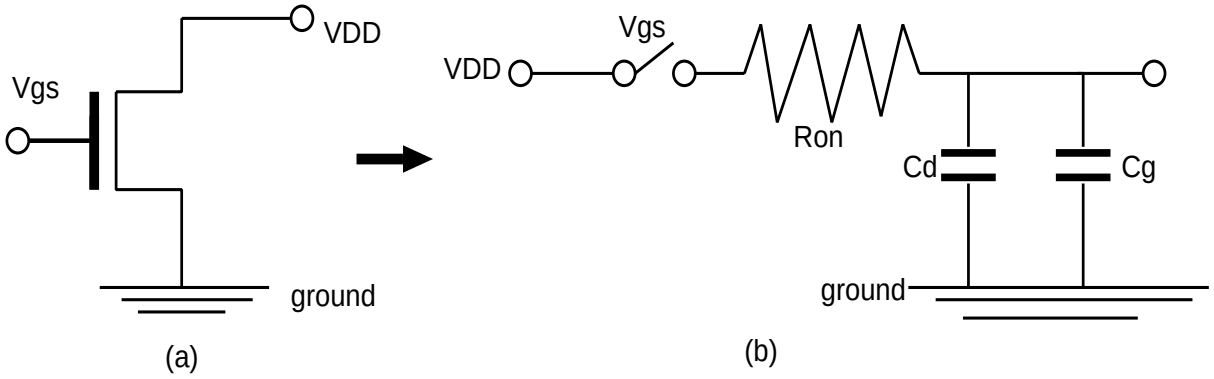

図 3.2: MOSFET の遅延モデル

3.2 CMOS 論理回路の性質

3.2.1 CMOS の構造

相補形 MOS は CMOS と呼ばれている。CMOS インバータは、図 3.3 に示すように、nMOS 駆動素子、pMOS が負荷素子となり、ゲートを共通にして入力端子とし、ドレイン

を共通にして出端子として構成される。また図 3.3 で CMOS のモデル化に明らかにした。

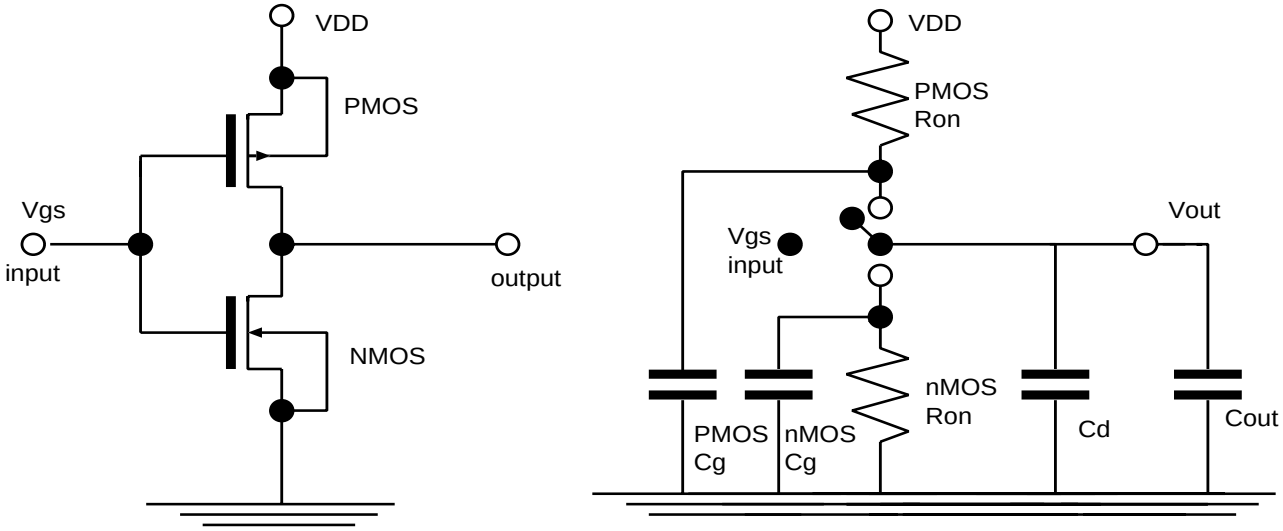

図 3.3: CMOS インバータのモデル

nMOS では、ソースに対しドレインに正電荷がかかっている状態で、ゲートに正電圧 V_{gs} に正電圧がかかるとドレインからソースに電流が流れる。一方、キャリアがホールによる PMOS は、ソースに対しドレインに負電圧がかかっている状態で、ゲートに負電圧がかかるとドレインからソースに電流が流れる。3.3 図に、オン抵抗と拡散容量による簡単なモデル図である。入力として $V_{gs} = 0$ すなわち 0 が入力されると PMOS が駆動し、出力側が V_{out}=VDD、すなわち 1 が出力されたことになる。入力信号は 1 が入力されると、NMOS を駆動し出力側が V_{out}=0 すなわち 0 が出力されたことになる。表 3.1 はインバータの論理値を表れる。A は入力信号であり、A ’は出力信号である。

A	A’
0	1
1	0

表 3.1: インバータの論理値で表わした入出力関係

PMOS と nMOS はオン抵抗は違うと遅延差が生じてしまうことになる、また両方は移動度 μ が異なるほか、動作時の温度や電圧などよりオン抵抗は変化するため、基本的な設計はつねに同じように設定する、あるいは一定値にするのは不可能である。それは基本的な CMOS 論理でのインバータの構造である。

3.2.2 CMOS 論理回路の遅延評価

CMOS インバータの遅延評価

CMOS インバータは論理的に not と呼ばれている。設計寸法は 0.1μm ルールで行っている。シミュレーションは HSpice level 49 を使用した。入力信号は図 3.4 のような 5ps から 10ps に直線的に変化する信号をインバータに通し、その出力を使っている。出力側に駆動されているインバータのゲート容量の 1、2 倍の負荷がかかって HSpice で評価した。

図 3.4、3.5、3.6、3.7 は HSpice でシミュレーションの結果を表れている。表 3.2 でその結果をまとめて表れている。

not インバータ 入力 1 → 0、出力 0 → 1 時間単位 [pecs]

負荷インバータ個数	入力が 0.2V になる時間	出力が 1.3V になる時間	遅延時間
1	41.0	66.4	25.4
2	40.8	83.0	42.2

not インバータ 入力 0 → 1、出力 1 → 0 時間単位 [pecs]

負荷インバータ個数	入力が 0.2V になる時間	出力が 1.3V になる時間	遅延時間
1	48.3	52.7	4.4
2	46.8	63	16.2

表 3.2: Hspice で not 論理ミュレーションの結果

CMOS インバータのミュレーションは配線抵抗と配線容量を含めて行っていた。配線抵抗と配線容量について第 4 章で説明しておる。この結果によって、出力インバータ負荷容量が違うと遅延時間も大きく変動する。インバータ負荷容量が変動すると遅延時間に大きく影響を与えることを明らかにした。最後に使用したパラメータをつけておく。

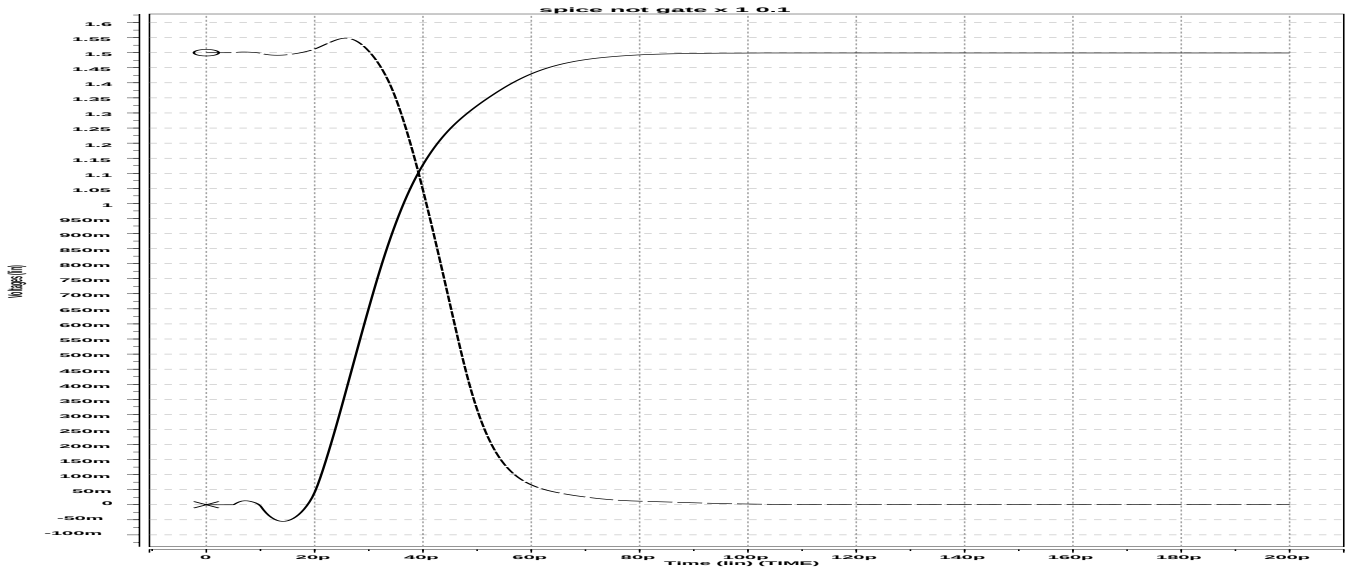

図 3.4: インバータ入力 0 → 1、出力側のゲート容量は 1 負荷

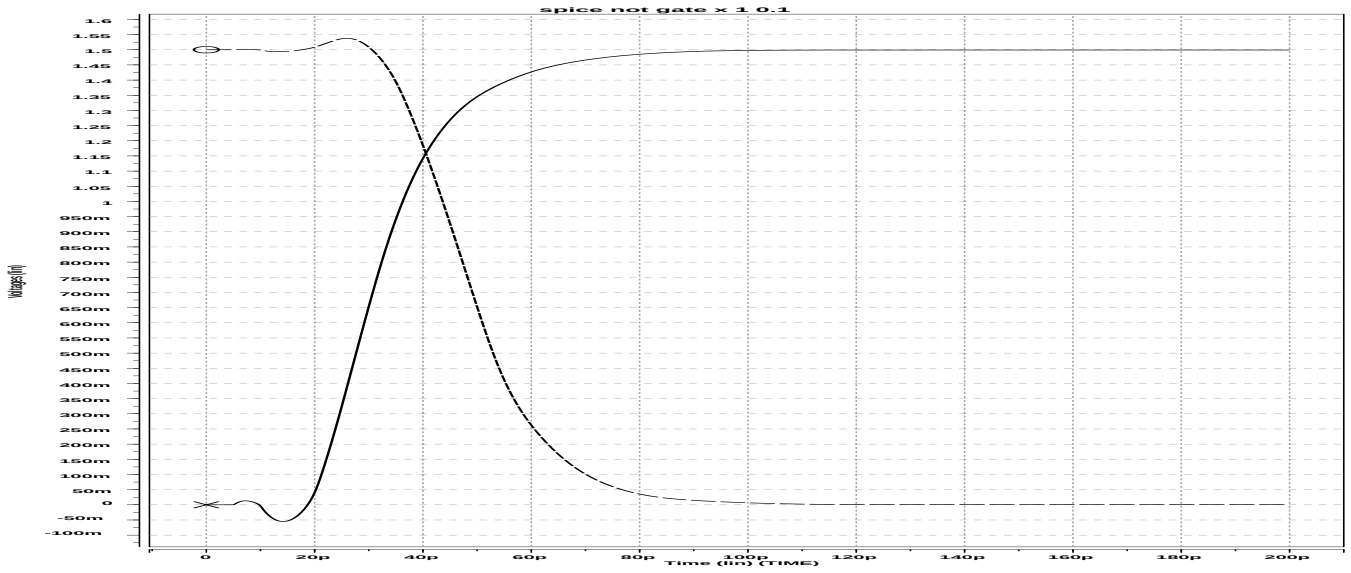

図 3.5: インバータ入 0 → 1、出力側のゲート容量は 2 負荷

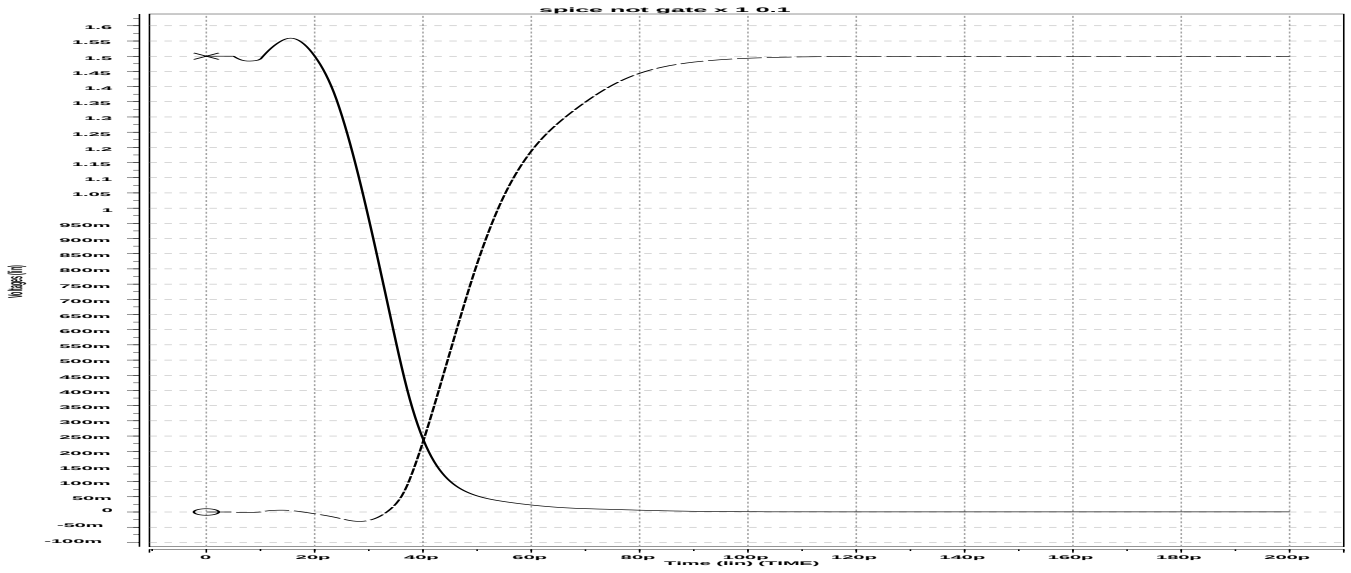

図 3.6: インバータ入力 1 → 0、出力側のゲート容量は 1 負荷

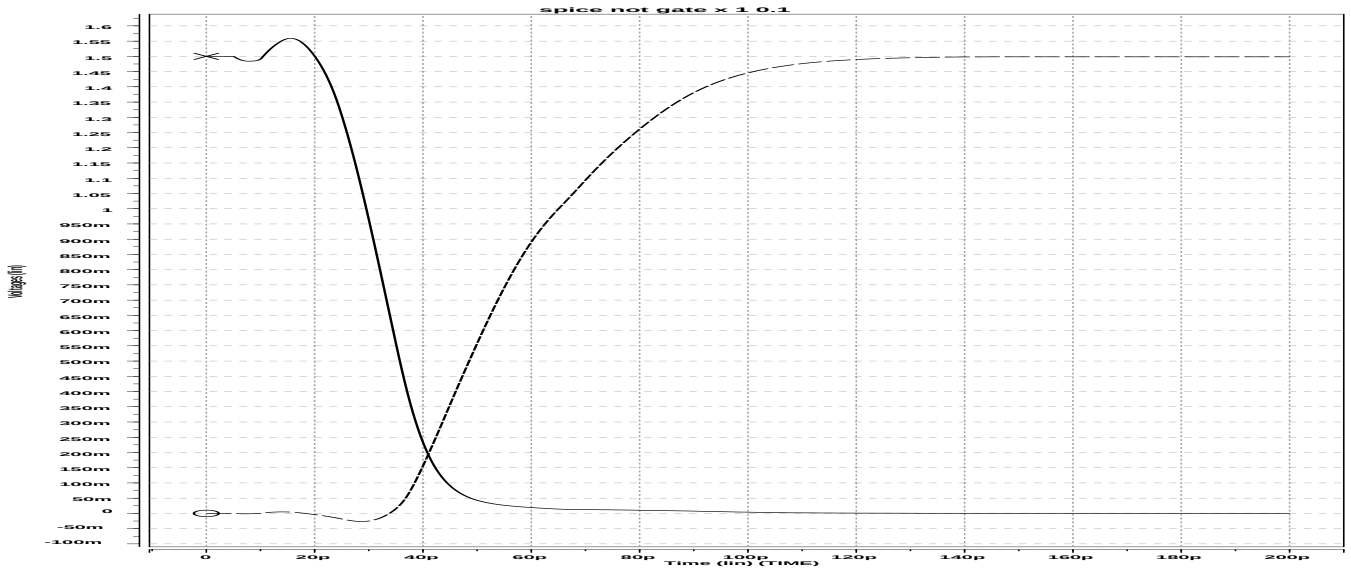

図 3.7: インバータ入力 1 → 0、出力側のゲート容量は 2 負荷

CMOS 論理回路 NAND 回路の遅延評価

CMOS 論理回路 NAND 論理回路は COMS インバータと同じ手法で遅延を評価した。図 3.8 は CMOS の nand 回路と論理記号を表れている。MOS の特性によって、色な論理回路を構築できる。

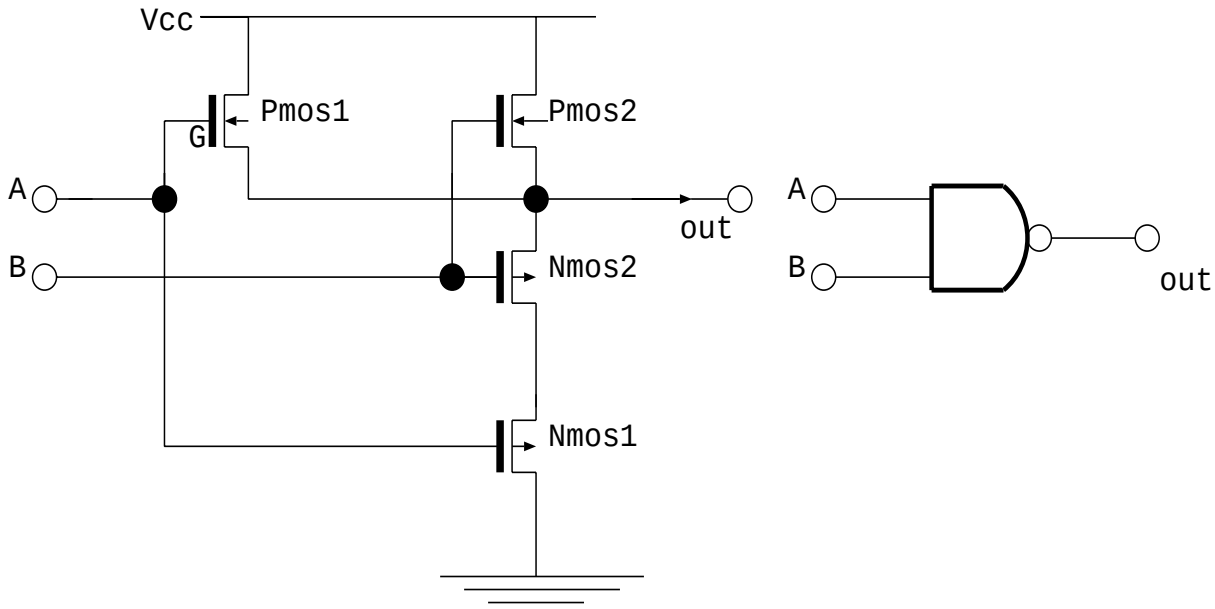

図 3.8: nand 論理回路と論理記号

図 3.9、3.10、3.11、3.12 は HSpice でシミュレーションの結果を表れている。表 3.2 でその結果をまとめて表れている。

nand 入力 A(0 → 1) B(1)、出力 1 → 0 時間単位 [pecs]

負荷インバータ個数	入力 A が 1.3V になる時間	出力が 0.2V になる時間	遅延時間
1	46.3	71.4	35.1
2	46	89	43

not インバータ 入力 A(1 → 0) B(1) 、出力 0 → 1 時間単位 [pecs]

負荷インバータ個数	入力 A が 0.2V になる時間	出力が 1.3V になる時間	遅延時間
1	40.7	78.3	37.6
2	40.6	94.1	53.5

表 3.3: Hspice で nand 論理回路ミュレーションの結果

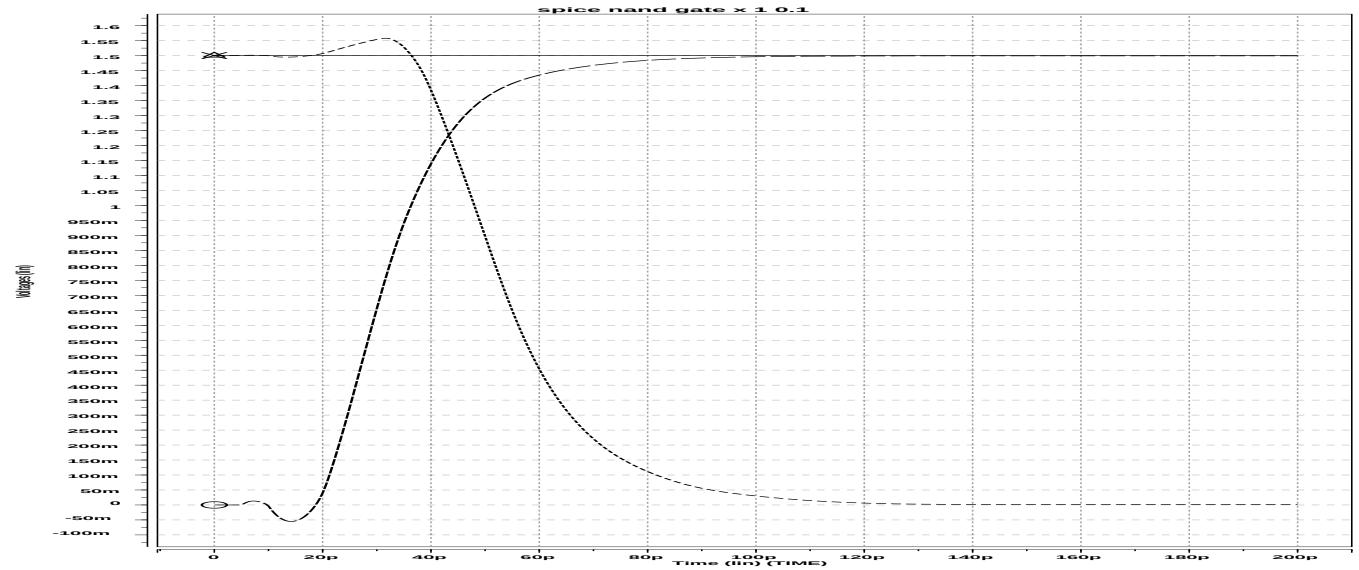

図 3.9: nand 入力 A(0 → 1) B(1)、出力側のゲート容量は 1 負荷

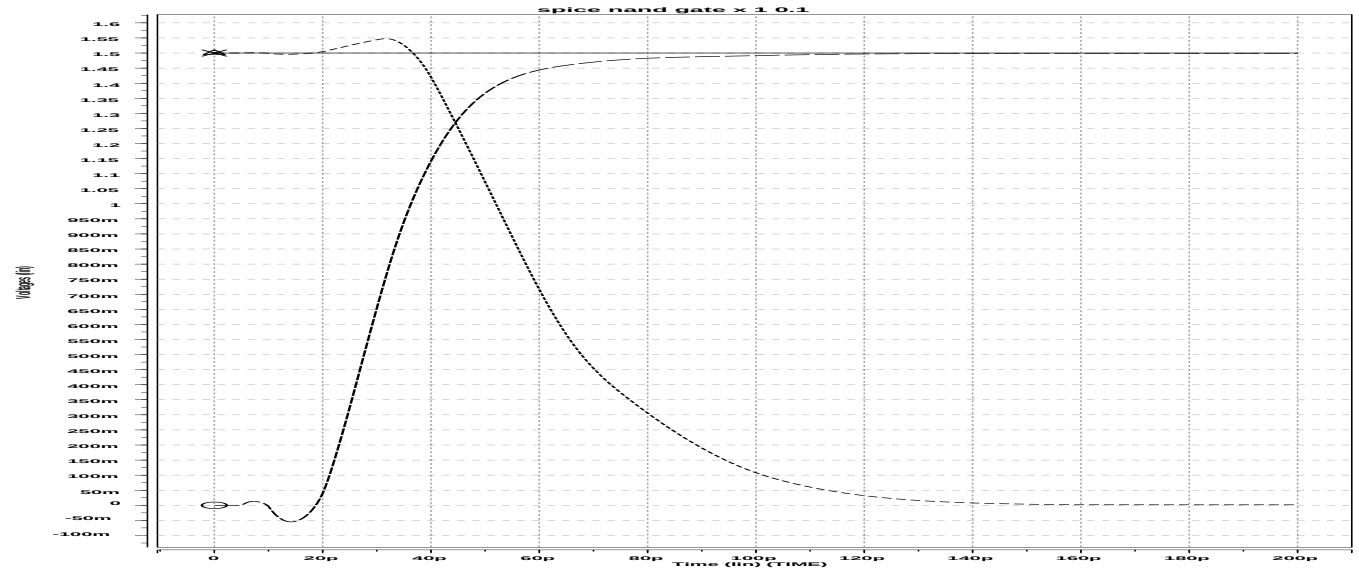

図 3.10: nand 入力 A(0 → 1) B(1)、出力側のゲート容量は 2 負荷

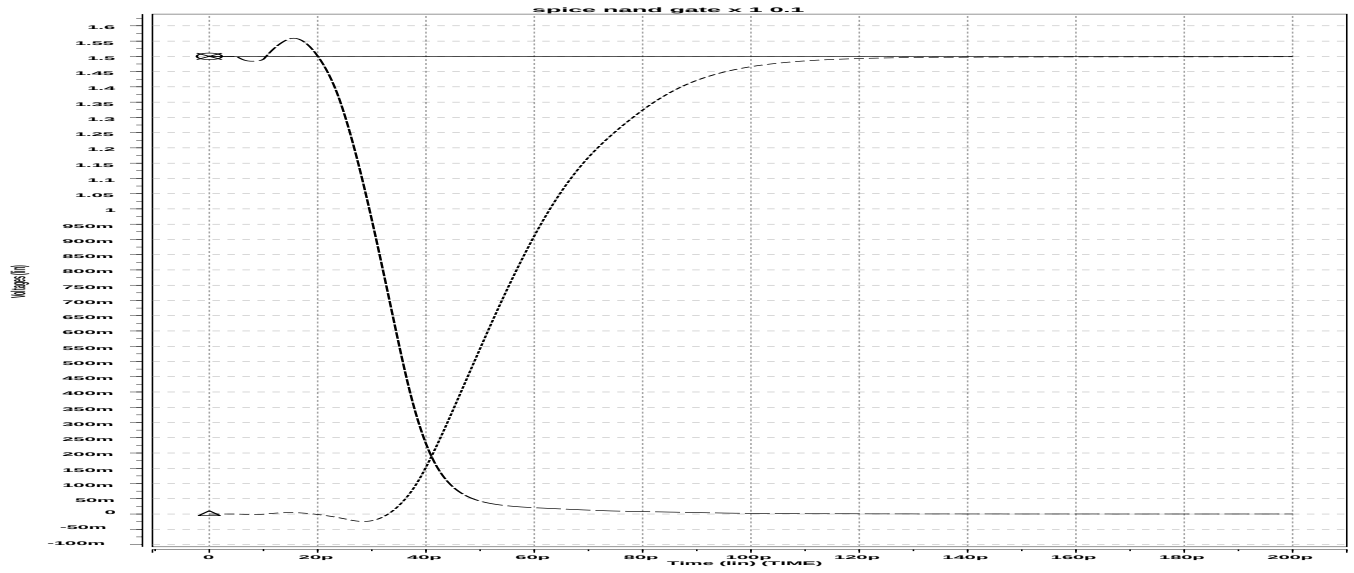

図 3.11: nand 入力 A(1 → 0) B(1)、出力側のゲート容量は 1 負荷

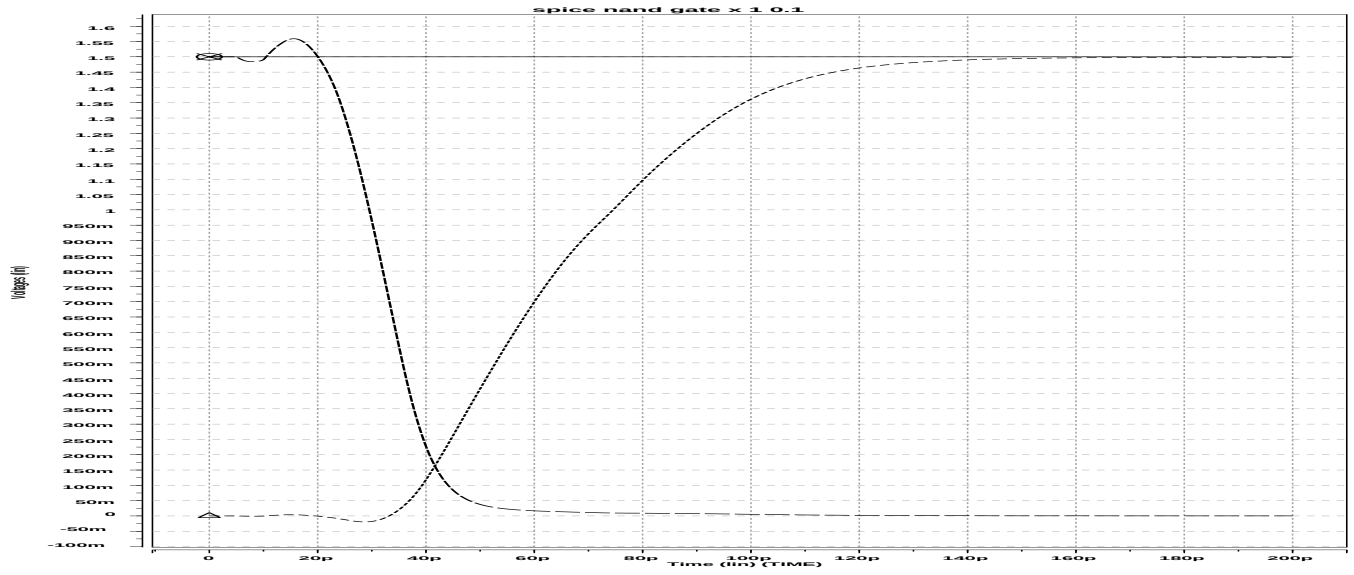

図 3.12: nand 入力 A(1 → 0) B(1)、出力側のゲート容量は 2 負荷

NAND NOT

L(m)	長さ	0.1u
W(m)	幅	4L=0.4u (nmos) 6L=0.6u (pmos)
AD(m^2)	ドレイン拡散面積	4L×3L=0.12×10^{-12}(nmos) 6L×3L=0.18×10^{-12}(pmos)
AS(m^2)	ソース拡散面積	4L×3L=0.12×10^{-12}(nmos) 6L×3L=0.18×10^{-12}(pmos)
PD(m)	ドレイン接合の周囲長	14L=1.4×10^{-6}(nmos) 18L=1.8×10^{-6}(pmos)
PS(m)	ソース接合の周囲長	14L=1.4×10^{-6}(nmos) 18L=1.8×10^{-6}(pmos)
NRD(m^2)	抵抗値計算でのドレイン拡散面積	AD/2=0.06×10^{-12}(nmos) AD/2=0.09×10^{-12}(pmos)
NRS(m^2)	抵抗値計算でのソース拡散面積	AS/2=0.06×10^{-12}(nmos) AS/2=0.09×10^{-12}(pmos)
RDC(Ω)	接続抵抗による追加ドレイン抵抗	0
RSC(Ω)	接続抵抗による追加ソース抵抗	0
Nsub(cm^{-3})	基板不純物濃度	5×10^{17}
Cgso(F/m)	単位チャンネル幅あたりのゲート・ソースオーバーラップ容量	169p
Cgdo(F/m)	単位チャンネル幅あたりのゲート・ドレインオーバーラップ容量	169p
Cj(F/m^2)	単位面積あたりのゼロバイアスバルク接合底面の容量	1×10^{-4}
Cjsw(F/m)	単位接合周囲長あたりのゼロバイアスバルク接合側面の容量	0.225×10^{-10}(nmos) 0.2×10^{-10}(pmos)
Ld(m)	ゲートと拡散層とのオーバラップ長	1×10^{-8}
Pd(V)	バルク接合電位	0.75
Tox(m)	ゲート酸化膜厚	2.5×10^{-9}
Uo(cm^2/Vs)	表面移動度	0.225×10^{-10}(nmos) 0.2×10^{-10}(pmos)
Vmax(m/s)	キャリヤの最大ドリフト速度	1×10^{5}
Xj(m)	ドレイン・ソース拡散深さ	0.225~0.2×10^{-6}
Hspice による接合容量	AD×Cj+PD×C_{jsw}	0.435×10^{-16}(nmos) 0.585×10^{-16}(pmos)

表 3.4: 0.1um ゲート設計のパラメータ

3.3 MOSFET のゆらぎ

3.3.1 プロセッサの製造

一枚シリコンからは、集積システムのプロセッサが一度に多数個作られるが、マスク中の傷、シリコン中の欠陥などは、すべて素子を不完全なものとする原因になる。それで、プロセッサを製造する時、色な原因があり、完全にプロセスのパラメータにあわせる製造することが困難である。それに対し本研究はゆらぎの原因を明確的に行う。

3.3.2 MOSFET の動作原理によるゆらぎを分析

以上の MOSFET の動作原理と Hspice で CMOS インバータと nand 論理回路ミュレーションの結果によって、MOSFET の遅延原因は明らかにした。ゲート遅延はプロセス変動により、移動度 μ、ゲート幅 W、ゲート長 L、酸化膜厚 d が変化するので変動する。また動作条件により温度と電圧が変化するので、遅延が変動する。表 3.5 にように表わせている。

	遅延原因			
プロセス	移動度 μ	ゲート長 L	ゲート幅 W	酸化膜厚 d(tox)
動作条件	温度		電圧	

表 3.5: MOSFET の遅延原因をまとめ

ゆらぎはその以上の要因を変化すると変動する。本研究はプロセスの変動はほぼ 10%と仮定しておる。

3.3.3 HSpice シミュレーションでゆらぎを考察

二つのインバータを組み合わせたバッファの遅延変動を評価したのものである。シミュレーションの手法はゲート長 0.35μ の寸法 [15][19] でおのおの条件を変化して、HSpice で考察した。まとめは表 3.6 に表わせている。

	min	type	max	max/min
ゲート長 L(± 10%)	0.14n	0.195n	0.25n	1.78
電圧 (± 10%)	0.175n	0.195n	0.215n	1.22
温度 (0,25,80)	0.165n	0.195n	0.27n	1.63

表 3.6: バッファのゆらぎ (Hspice、BSIM3v3、0.35um)

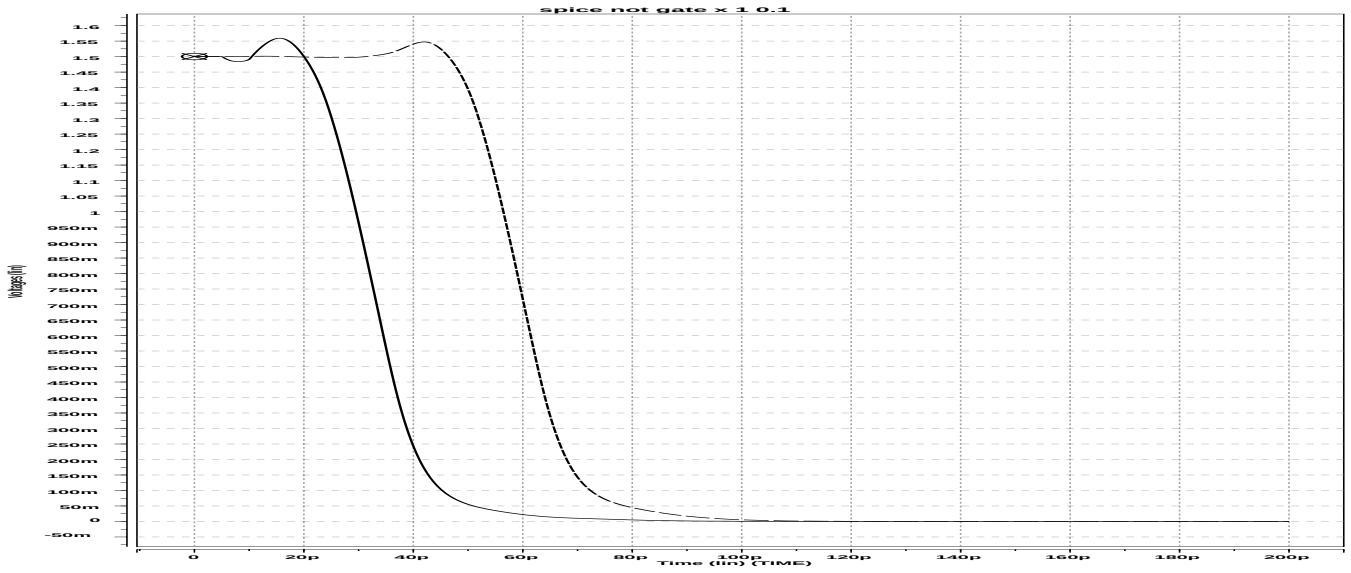

図 3.13: 論理回路 Buffer の正常遅延評価

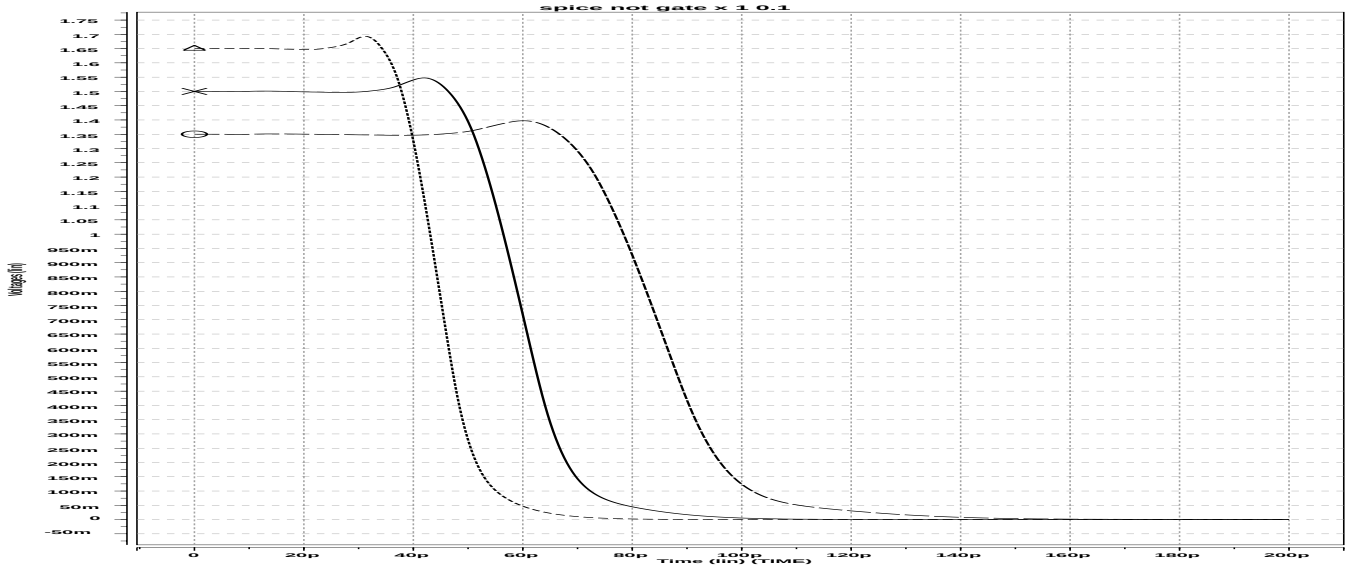

図 3.14: 論理回路 Buffer 最大最小ゆらぎでの遅延評価

また0.1μの寸法で全部最悪の条件と仮定して、バッファのゆらぎを評価した。図3.13は正常状態のバッファ1HSpicsで遅延評価の結果、3.14は全部最悪の条件でバッファ1HSpicsで遅延評価の結果である。全部最悪の条件は表3.7で表れている。

	ゆらぎの原因			
プロセス	移動度 μ-10%	ゲート長 L+10%	ゲート幅 W-10%	酸化膜厚 d(tox)+10%
動作条件	温度 50 °		電圧-10%	

表 3.7: バッファの最悪条件と仮定

全部最良の条件は表3.8で表れている。

	ゆらぎの原因			
プロセス	移動度 μ+10%	ゲート長 L-10%	ゲート幅 W+10%	酸化膜厚 d(tox)-10%
動作条件	温度 15 °		電圧+10%	

表 3.8: バッファの最良条件と仮定

以上の条件であるバッファ１のゆらぎを明らかにした、以下の表3.8でシミュレーションの結果を求めでいる。

バッファ 入力 (1 → 0) 、出力 1 → 0 時間単位 [pecs]

	入力 A が 0.2V になる時間	出力が 0.2V になる時間	遅延時間	ゆらぎ
正常	41.1	68	26.9	17
最悪条件	60	96.1	36.1	
最良条件	32.4	51.5	19.1	

表 3.9: バッファ1のゆらぎ

それでゆらぎの原因は明らかにした。プロセスは著しい発展してから、ゆらぎがサイクルタイムにますます悪影響に与えられた、本研究はそのゆらぎの問題を含んでウェーブパイプラインプロセッサのクロック分配を提案した。第5章で詳しくて分配提案を述べている。

第4章　配置配線に関する考察

マイクロプロセッサの性能向上に最も大きな貢献をしているのがより微細な加工を可能にする半導体プロセスの発展である。トランジスタ数はほぼ年率30%で増加し、集積回路の微細化が進むと、比例縮小により動作周波数が向上されるが、動作周波数はほぼ年率20%で増加してし、配線も微細化することで、面積一定の場合あるいは面積拡大の場合は配線遅延が増加する。

4.1　配線の構造

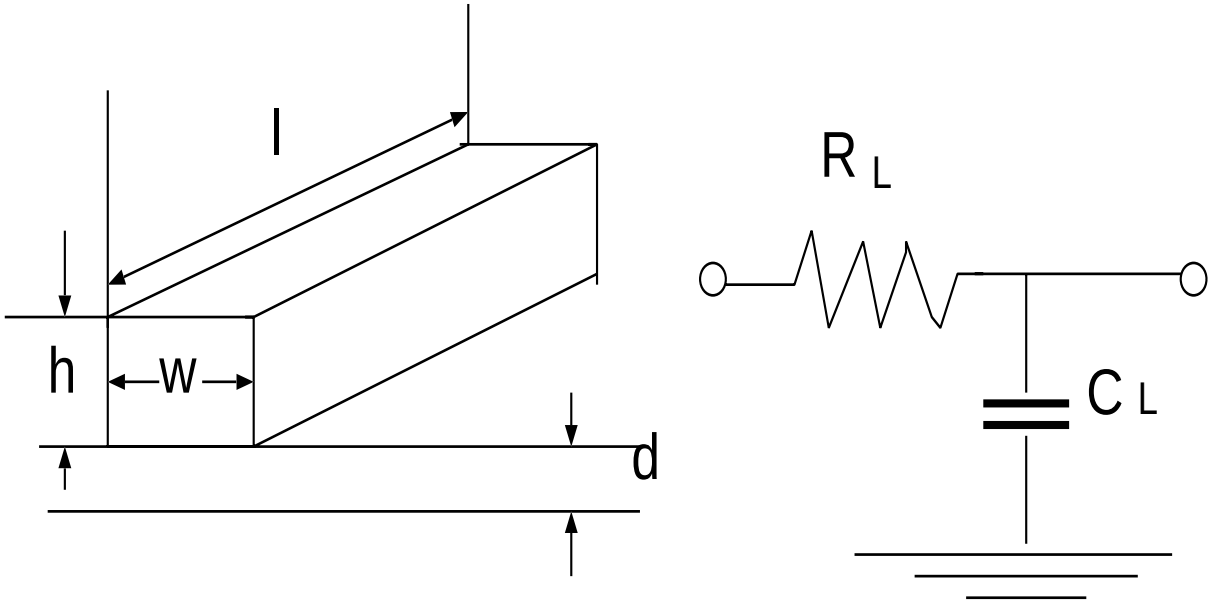

図 4.1: 配線遅延のモデル

図4.1配線のモデルによる、一般の物理的には配線遅延の問題が以下のように考えている。配線長をL、配線幅をW、配線高さh、酸化膜厚はdと仮定する。

配線容量は誘電率と配線長と配線幅と正比例し、酸化膜厚と反比例する。

$$C_L = \varepsilon wl/d \tag{4.1}$$

配線抵抗は配線材料の抵抗率と配線長と正比例し、配線の幅と高さと反比例する。

$$R_L = \rho l/wh \tag{4.2}$$

配線抵抗と配線容量を分かると配線遅延はまとめられる。配線遅延は配線材料の抵抗率と誘電率と配線長の 2 乗と正比例し、酸化膜の厚と配線の高さと反比例する。

$$R_L C_L = \rho \varepsilon l^2/dh \tag{4.3}$$

この式によって、配線遅延は配線長の 2 乗に比例増加する、配線が長い場合はバッファを挿入すると遅延が挿入したバッファの数の倍に短縮できる。次式で与えられる。[3]

$$R_L C_L = n(\rho \varepsilon (\frac{l}{n})^2/dh = \rho \varepsilon l^2/ndh \tag{4.4}$$

配線をアルミとして、0.1μm 寸法で設計する配線の単位面積あたりの酸化膜容量と単位長さの配線抵抗をまとめられる。S_iO_2 の誘電率 ε_{ox} は 3.82、真空中の誘電率 ε_0 は 8.85×10^{-12}[F/m]、アルミニュウムの抵抗率は $3\times10^{-12}[\mu\Omega\cdot$m]、ポリシリコンの抵抗率は $10[\mu\Omega\cdot$m] である [1][10][11][12]。

グリッド 1[grid]	単位長の配線抵抗	単位面積の配線容量
単位 $0.1[\mu$m]	R_l=0.0003[kΩ/grid]	C_l=0.00169[μF/grid]

表 4.1: 単位長の配線抵抗と単位面積の配線容量

4.2 配置配線を含み遅延のモデル

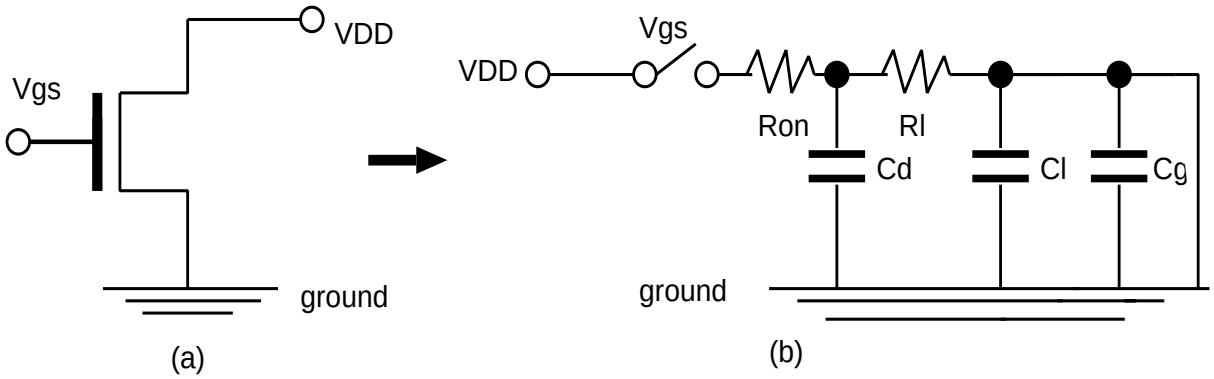

図 4.2: 遅延のモデル

図 4.2 で以上の MOSFET の動作原理と配線遅延の構造に基づいて、配置配線を含んで遅延モデル化にできる。簡略化した完全集中定数回路を用いて、入力パターンやプロセスによって遅延のパラメータ (μ, L, W)、動作条件 (温度と電圧) を全部考えて求めると遅延は次式で与えられる。

$$T_d = (R_{on}[Tem, Pattern] + R_L)(C_d \frac{R_{on}}{(R_{on} + R_l)} + \frac{C_L}{2} + \Sigma C_g) \tag{4.5}$$

4.3 容量性負荷で終端した配置配線に関する考察

[1] 以上簡単化した集中定数回路は誤差があり、実際、ウェーブパイプラインプロセッサのクロック分配に対し、MOS ゲートはスイッチと考えたほうがよい、二つスイッチ中に正確な遅延値を計算方法を探索した。

4.3.1 一般的な RC 回路 · 線路の解析

有限長 RC 線路

もともと物理的な有限長 RC 線路の電圧と時間、電流と時間の関係は次の式で表れている。x は配線長、v は電圧、i は電流、t は時間とする。

$$\frac{\partial v(x,t)}{\partial x} = -Ri(x,t) \tag{4.6}$$

$$\frac{\partial i(x,t)}{\partial x} = -C\frac{\partial v(x,t)}{\partial t} \tag{4.7}$$

式 4.6 を、x で偏微分して、式 4.7 を代入することにより、また式 4.7 を、x で偏微分し、そこに式 4.6 を t で偏微分したものを代入することにより、次の二つの偏微分方程式を得る。

$$\frac{\partial^2 v(x,t)}{\partial x^2} = RC\frac{\partial v(x,t)}{\partial t} \tag{4.8}$$

$$\frac{\partial^2 i(x,t)}{\partial x^2} = RC\frac{\partial i(x,t)}{\partial t} \tag{4.9}$$

式 4.8 と 4.9 は典型的な放物型偏微分方程式である。分離変量法で解ける。求める関数 v(x,t) が、x のみの関数 X(x) と、t のみの関数 T(t) の積の形になっていると仮定して、解いて行くことができる。

$$v(x,t) = X(x)T(t) \tag{4.10}$$

式 4.10 が、式 4.8 を満たすとする。式 4.10 を式 4.8 に代入し、t を右辺に集めるように変形するより、次の式となる。

$$\frac{1}{X(x)}\frac{d^2X(x)}{dx^2} = \frac{RC}{T(t)}\frac{dT(t)}{dt} \tag{4.11}$$

[1] 参考文献 [22][23][24][25]

左辺はxだけの関数、右辺はtだけの関数であり、それが恒等的に等しいことから、両辺は定数でなければならない。

この定数は-a^2 と置く、また、簡単のため、RC $= \frac{1}{\lambda}$ と置く。二つの微分方程式が得られる。

$$\frac{d^2X(x)}{dx^2} = -a^2X(x) \tag{4.12}$$

$$\frac{dT(t)}{dt} = -a^2\lambda T(t) \tag{4.13}$$

一つの定数aに対して、式4.12の一般解は、

$$X(x) = k_1 \cos ax + k_2 \sin ax \tag{4.14}$$

式4.13の一般解は、

$$T(t) = k_3 e^{-a^2\lambda t} \tag{4.15}$$

ここで、A_a=k_1k_3、B_a=k_2k_3 である、一つ定数aに対し、X(x)とT(t)を組み合わせた関数v(x,t)の一般解は、次の式になる。

$$v(x,t)_c = X(x)T(t) = e^{-a^2\lambda t}(A_a \cos ax + B_a \sin ax) \tag{4.16}$$

特解として、a $= 0$ の場合v(x,t)の特解はxの一次式の形になる。

$$v(x,t)_p = X(x)T(t) = K_0 + K_1x \tag{4.17}$$

よって、v(x,t)の一般解を求められる。

$$v(x,t) = \sum_a v(x,t)_c + v(x,t)_p = \sum_a e^{-a^2\lambda t}(A_a \cos ax + B_a \sin ax) + K_0 + K_1x \tag{4.18}$$

ここで$\sum$は、様々なaについての和を取るという意味である。

式4.18を式4.6に代入してi(x,t)を求めておく。

$$i(x,t) = -\frac{1}{R}\frac{\partial v(x,t)}{\partial x} = \frac{1}{R}\sum_a ae^{-a^2\lambda t}(A_a \sin ax - B_a \cos ax) + \frac{K_1}{R} \tag{4.19}$$

以上で解いた方程式の中にaは数学的に任意であるが、物理的には制約があり、任意ではない。a^2 は正数である。

線形同次境界条件を満たすことはできない、したがって、容量性負荷の場合は、変数分離法でとくことはできない。

4.3.2 容量性負荷が付いたRC分布線路を解く方程式

以上の結論に対し、ラプラス変換で解いてみると、
線路の特性インピーダンスを Z_0、インダクタンスをL 、コンダクタンスをG とする。

$$Z_0 = \sqrt{\frac{R+sL}{G+sC}} \tag{4.20}$$

線路の伝搬定数を γ とすると、

$$\gamma = \sqrt{(R+sL)(G+sC)} \tag{4.21}$$

分歩定数線路のF 行列は、

$$F = \begin{bmatrix} \cosh\gamma l & Z_0 \sinh\gamma l \\ \frac{1}{Z_0}\sinh\gamma l & \cosh\gamma l \end{bmatrix} \tag{4.22}$$

L $= 0$、 G $= 0$ とおいて Z_0 と γ は、

$$Z_0 = \sqrt{\frac{R}{sC}} \tag{4.23}$$

$$\gamma = \sqrt{sRC} \tag{4.24}$$

線路を表すF 行列 F_1 のかたちは変わらず、負荷の容量のF 行列 F_2 は、負荷容量を C_0 とすると

$$F_2 = \begin{bmatrix} 1 & 0 \\ sC_0 & 1 \end{bmatrix} \tag{4.25}$$

したがって、回路全体のF 行列F は、

$$\begin{aligned} F = F_1F_2 &= \begin{bmatrix} \cosh\gamma l & Z_0\sinh\gamma l \\ \frac{1}{Z_0}\sinh\gamma l & \cosh\gamma l \end{bmatrix} \begin{bmatrix} 1 & 0 \\ sC_0 & 1 \end{bmatrix} \\ &= \begin{bmatrix} \cosh\gamma l + sC_0Z_0\sinh\gamma l & Z_0\sinh\gamma l \\ \frac{1}{Z_0}\sinh\gamma l + sC_0Z_0\cosh\gamma l & \cosh\gamma l \end{bmatrix} \end{aligned} \tag{4.26}$$

これより、

$$V_1 = \{\cosh\gamma l + sC_0Z_0\sinh\gamma l\} + Z_0\sinh\gamma l I_2 \tag{4.27}$$

容量性負荷で終端した場合、$I_2 = 0$ である。また、$v_1(\mathrm{t})$ は、振幅 v_0 の階段関数とすると、そのラプラス変換は v_0/s であるから、

$$v_0 \frac{1}{s} = \{\cosh \gamma l + sC_0 Z_0 \sinh \gamma l\} V_2 \tag{4.28}$$

V_2 について解くと、

$$V_2 = v_0 \frac{1}{s} \cdot \frac{1}{\{\cosh \gamma l + sC_0 Z_0 \sinh \gamma l\}} \tag{4.29}$$

ここで、

$$\gamma l = \sqrt{sRC} l = \sqrt{s}\sqrt{l^2 RC} = a\sqrt{s} \tag{4.30}$$

より a $= \sqrt{l^2 RC}$ とおく、

$$sC_0 Z_0 = sC_0 \sqrt{\frac{R}{sC}} = \sqrt{s} C_0 \sqrt{\frac{R}{C}} = \frac{\sqrt{s}}{b} \tag{4.31}$$

より b $= \frac{1}{C_0}\sqrt{\frac{C}{R}}$ とおく。a、b をつかって V_2 をあらわすと、

$$\begin{aligned} v_2 &= v_0 \tfrac{1}{s} \cdot \tfrac{1}{\cosh a\sqrt{s} + \frac{\sqrt{s}}{b} \sinh a\sqrt{s}} \\ &= v_0 \tfrac{1}{s(\cosh a\sqrt{s} + \frac{\sqrt{s}}{b} \sinh a\sqrt{s})} \end{aligned} \tag{4.32}$$

ここで、ヘビサイド展開定理を用いるために、分母子を次のようにおく、

$$N(s) = 1 \tag{4.33}$$

$$D(s) = s(\cosh a\sqrt{s} + \frac{\sqrt{s}}{b} \sinh a\sqrt{s}) \tag{4.34}$$

ヘビサイド展開

$$F(s) = \frac{N(s)}{D(s)} \tag{4.35}$$

の形であるとき、D(s) の特異点 (極) を、s_m とするとき、F(s) は次のように部分分数展開できる。

$$F(s) = \sum_{m=0}^{M} \frac{k_m}{s - s_m} \tag{4.36}$$

ここで、部分分数の分子 k_m は次のようにして求めることができる。

$$k_m = \left[\frac{N(s)}{\frac{d}{ds}D(s)} \right]_{s=s_m} \tag{4.37}$$

したがって、式 4.36 の逆ラプラス変換は、

$$\begin{aligned} f(t) &= \mathcal{L}^{-1}\{F(s)\} \\ &= \sum_{m=0}^{M} \mathcal{L}^{-1}\{\tfrac{k_m}{s-s_m}\} \\ &= \sum_{m=0}^{M} k_m e^{s_m t} \end{aligned} \tag{4.38}$$

となる。

まず、式 4.34 の D(s) の特異点 (極) を求める。

$$D(s) = s(\cosh a\sqrt{s} + \frac{\sqrt{s}}{b}\sinh a\sqrt{s}) = 0 \tag{4.39}$$

より、s = 0 = s_0

$$\cosh a\sqrt{s} + \frac{\sqrt{s}}{b}\sinh a\sqrt{s} = 0 \tag{4.40}$$

式 4.40 が成立ためには、 $a\sqrt{s}$ が虚数でなければならない。なぜなら、$a\sqrt{s}$ が実数とすると、 $\sqrt{s}$ は定義により正数であるので、a は正実数である、したがって、 $\cosh a\sqrt{s}$ も $\frac{\sqrt{s}}{b}\sinh a\sqrt{s}$ も正数となり、0 になることはあり得ない。そこで、 $a\sqrt{s}$=jθ とおく、 $\frac{\sqrt{s}}{b}$ を θ で表す。

$$\frac{\sqrt{s}}{b} = \frac{j\theta}{a}\cdot\frac{1}{b} = j\frac{\theta}{ab} \tag{4.41}$$

式 4.40 は

$$\cosh j\theta + j\frac{\theta}{ab}\sinh j\theta = 0 \tag{4.42}$$

双曲関数の定義と、オイラーの定理により、

$$\cosh j\theta = \frac{e^{j\theta} + e^{-j\theta}}{2} = \cos\theta \tag{4.43}$$

$$\sinh j\theta = \frac{e^{j\theta} - e^{-j\theta}}{2} = j\sin\theta \tag{4.44}$$

よって式 4.42 は

$$\cos\theta + j^2\frac{\theta}{ab}\sin\theta = 0 \tag{4.45}$$

$$\cos\theta - \frac{\theta}{ab}\sin\theta = 0 \tag{4.46}$$

これを整理すると、

$$\frac{\cos\theta}{\sin\theta} = \frac{\theta}{ab} \tag{4.47}$$

$$\cot\theta = \frac{\theta}{ab} \tag{4.48}$$

ここで

$$\frac{1}{ab} = C_0\sqrt{\frac{R}{C}}\cdot\frac{1}{\sqrt{l^2RC}} = \frac{C_0}{lC} \tag{4.49}$$

である。

式 4.48 を数値的に解いて、θ_m(m≥1) を求め、これより

$$s_m = -\frac{\theta_m^2}{a^2} \tag{4.50}$$

得る。この s_m(m≥1) を式 4.37 に代入することにより、部分分数展開の分子 k_m が求められる。

そこで、式 4.37 を計算する。まず D(s) の微分を計算する。

$$\begin{aligned} \tfrac{d}{dt}D(s) &= \tfrac{d}{ds}\{s(\cosh a\sqrt{s} + \tfrac{\sqrt{s}}{b}\sinh a\sqrt{s})\} \\ &= (1+\tfrac{as}{2b})\cosh a\sqrt{s} + (\tfrac{a}{2}+\tfrac{1}{b}+\tfrac{1}{2b}\sqrt{s})\sinh a\sqrt{s} \end{aligned} \tag{4.51}$$

式 に、 $a\sqrt{s}$ = jθ、$\sqrt{s}$ = jθ/a、 s = -θ^2/a^2 等を代入する。

$$\frac{d}{dt}D(s) = (1-\frac{\theta^2}{2ab})\cos\theta - \frac{ab+3}{2ab}\theta\sin\theta \tag{4.52}$$

$$\begin{aligned} k_m &= \left[\frac{N(s)}{\frac{d}{ds}D(s)}\right]_{s=s_m} \\ &= \frac{2ab}{(2ab-\theta_m^2)\cos\theta_m-(ab+3)\theta_m\sin\theta_m} \end{aligned} \tag{4.53}$$

応答特性の計算式 4.53 に ab = $\frac{lC}{C_0}$ = 1.0、 $\cos\theta_m = \theta_m\sin\theta_m$ を代入する。

$$\begin{aligned} k_m &= \frac{2}{(2-\theta_m^2)\cos\theta_m - 4\cos\theta_m} \\ &= -\frac{2}{(2+\theta_m^2)\cos\theta_m} \end{aligned} \tag{4.54}$$

$a^2 = l^2$RC = 1.0 、k_0 =1 を代入して、

$$\begin{aligned} v_2(t) &= v_0(1+\textstyle\sum_{m=1}^{M} k_m e^{-\frac{\theta_m^2 t}{a^2}}) \\ &= v_0(1+\textstyle\sum_{m=1}^{M} k_m e^{-\theta_m^2 t}) \end{aligned} \tag{4.55}$$

θ の根は次の表のような表れている。

n	θ_n
1	0.86033
2	3.42562
3	6.43729
4	9.52933
5	12.6453
6	15.7713
7	18.9024
8	22.0365
9	25.1724
10	28.3096

表 4.2: $\cot\theta$ の根 ($\theta = 1$)

4.3.3 RC 回路 · 線路の解析ー RC 線路の集中定数近似

RCn 段回路の方程式とその集中定数近似

RCn 段回路の出力の電圧 v_n(t) とし、入力電圧を v_0 とし、

$$v(t) = v_n(t) - v_0 \tag{4.56}$$

と置く。

RC 一段の場合、

$$R_1C_1\frac{d}{dt}v(t) + v(t) = 0 \tag{4.57}$$

RC 二段の場合、

$$C_1C_2R_1R_2\frac{d^2}{dt^2}v(t) + \{(C_1+C_2)R_1 + C_2R_2\}\frac{d}{dt}v(t) + v(t) = 0 \tag{4.58}$$

RC 三段の場合、

$$\begin{aligned} & R_1C_1R_2C_2R_3C_3\tfrac{d^3}{dt^3}v(t) \\ + \; & \{R_1C_1(R_2C_2 + R_2C_3 + R_3C_3) + R_1C_2R_3C_3 + R_2C_2R_3C_3\}\tfrac{d^2}{dt^2} \\ + \; & \{R_1C_1 + R_1C_2 + R_1C_3 + R_2C_2 + R_2C_3 + R_3C_3)\}\tfrac{d}{dt}v(t) + v(t) = 0 \end{aligned} \tag{4.59}$$

次に、これら式 4.58、4.59 の集中定数近似を考える。

RC 二段回路の場合、式 4.58 の 2 次微分の項を省略すると、

$$\{(C_1+C_2)R_1+C_2R_2\}\frac{d}{dt}v(t)+v(t)=0 \tag{4.60}$$

を得る。

この式で、$(C_1+C_2)R_1+C_2R_2$ を次のように書き換える。

$$\begin{aligned}(C_1+C_2)R_1+C_2R_2 &= R_1C_1+C_2(R_1+R_2)\\ &= (\tfrac{R_1}{R_1+R_2}C_1+C_2)(R_1+R_2)\\ &= CR\end{aligned} \tag{4.61}$$

したがって、R=R_1+R_2、C=$\frac{R_1}{R_1+R_2}C_1+C_2$ となる。すなわち、R は、R_1+R_2、C は、$\frac{R_1}{R_1+R_2}$ 倍して、C_2 と並列にしたものである。

これは、次のよう考えるとよい。

手前の容量 C_1 を、後ろの容量 C_2 のところに持ってくるのは、どのように C_1 の値を修正をすればよいか。

そこで、まず、C_1 を取り除く。すると、初期状態では、C_1 のつながっていた端子に、$\frac{R_2}{R_1+R_2}v_0$ の電圧がかかる。したがって。もしここに C_1 を接続するとすると、この後、残りの電圧 $\frac{R_1}{R_1+R_2}v_0$ によって、$\frac{R_2}{R_1+R_2}C_1v_0$ 電荷を蓄えることになる。

したがって、この C_1 を、C_2 の位置に移したときの寄与する容量は、$\frac{R_1}{R_1+R_2}C_1$ である。

従って、式 4.60 は、C_eR_e を時定数とする、集中定数型の回路の微分方程式次の式となる。

$$\begin{aligned}C_eR_e\tfrac{d}{dt}v(t)+v(t) &= 0\\ \text{ここで、}C_e &= \tfrac{R_1}{R_1+R_2}C_1+C_2\\ R_e &= R_1+R_2\end{aligned} \tag{4.62}$$

RC 三段回路の場合、式 4.59 の二次微分、三次微分の項省略し、疑似等価な集中定数回路を考える。

$$\begin{aligned}\{R_1C_1+R_1C_2+R_1C_3+R_2C_2+R_2C_3+R_3C_3\}\tfrac{d}{dt}v(t)+v(t) &= 0\\ \{R_1C_1+(R_1+R_2)C_2+(R_1+R_2+R_3)C_3\}\tfrac{d}{dt}v(t)+v(t) &= 0\\ \{\tfrac{R_1}{R_1+R_2+R_3}C_1+\tfrac{R_1+R_2}{R_1+R_2+R_3}C_2+C_3\}(R_1+R_2+R_3)\tfrac{d}{dt}v(t)+v(t) &= 0\end{aligned} \tag{4.63}$$

したがって、式 4.63 は、C_eR_e を時定数とする、集中定数型の回路の微分方程式 4.64 となる。

$$\begin{aligned}C_eR_e\tfrac{d}{dt}v(t)+v(t) &= 0\\ \text{ここで、}C_e &= \tfrac{R_1}{R_1+R_2+R_3}C_1+\tfrac{R_1+R_2}{R_1+R_2+R_3}C_2+C_3\\ R_e &= R_1+R_2+R_3\end{aligned} \tag{4.64}$$

RC 二段、三段の結果から、等価抵抗 R_e に関する式による、等価容量 R_e に関する式、等価容量 C_e に関する式をながめることによって、一般の RCn 段回路の等価抵抗と等価容量は次のようになることが判る。

$$R_e = R_1 + R_2 + R_3 + \cdots\cdots + R_n \tag{4.65}$$

$$\begin{aligned} C_e &= \frac{R_1}{R_1+R_2+R_3+\cdots\cdots+R_n}C_1 + \frac{R_1+R_2}{R_1+R_2+R_3+\cdots\cdots+R_n}C_2 + \cdots \\ &+ \frac{R_1+R_2+R_3+\cdots\cdots+R_n}{R_1+R_2+R_3+\cdots\cdots+R_n}C_n \end{aligned} \tag{4.66}$$

$\sum$ 記号を使って形式的に書くと次のようになる。

$$R_e = \sum_{i=0}^{n} R_i \tag{4.67}$$

$$C_e = \frac{1}{R_i}\sum_{k=1}^{n}\{\sum_{i=1}^{k} R_i\}C_k \tag{4.68}$$

RC 線路の集中定数近似

まず、準備として、式 4.67、4.68 で、すべての抵抗 R_i が等しく、また、すべての容量 C_i が等しいとき、を求めておく。

等しい抵抗値を R_0、容量値を C_0 とすると、

$$R_e = \sum_{i=0}^{n} R_i = nR_0 \tag{4.69}$$

$$C_e = \frac{1}{R_i}\sum_{k=1}^{n}\{\sum_{i=1}^{k} R_0\}C_0 = \frac{n+1}{2}C_0 \tag{4.70}$$

ここで、これまでの議論で用いた記号法を、分布定数線路で用いた記号法に替えるので、以降混同しないようにしてほしい。

分布定数線路の単位長あたりの分布抵抗を R、同じく単位長あたりの分布容量を C とする。また、線路の長さ l をとする。

線路を n 分割した微少な長さ Δx とする、

$$\Delta x = \frac{1}{n} \tag{4.71}$$

微少な長さの抵抗、容量は、それぞれ次の式で表わされる。

$$\Delta xR = \frac{lR}{n} \tag{4.72}$$

$$\Delta xC = \frac{lC}{n} \tag{4.73}$$

RC_n 段回路から導いた式、4.69、4.70 を適用する。

RC 分布定数線路を等価な RC 集中定数回路に置き換えるとき、その集中定数抵抗を R_L、集中定数容量を C_L とすると、式 4.69、4.70 の R_0 と C_0 とをそれぞれ、

$$R_0 = \Delta xR \tag{4.74}$$

$$C_0 = \Delta xC \tag{4.75}$$

と置くと、次の結果を得る。

$$R_L = \lim_{\Delta x \to 0} n\Delta xR = \lim_{n \to \infty} n\frac{lR}{n} = lR \tag{4.76}$$

$$C_L = \lim_{\Delta x \to 0} \frac{n+1}{2}\Delta xC = \lim_{n \to \infty} \frac{n+1}{2}\frac{lC}{n} = \frac{lC}{2} \tag{4.77}$$

すなわち、集中定数抵抗 R_L は、分布抵抗の合計値 lR に等しく、集中定数容量を C_L は、分布容量の合計値 lC の 1/2 である。従って、集中定数化した回路の時定数は l^2RC ではなく、その 1/2 で l^2RC である。

4.4 配線のゆらぎ

配線はプロセスが変化するによって、遅延を変動する。配線のゆらぎの原因は主に式 4.2 によって配線の酸化膜厚さと配線の高さ、二つである。10%のゆらぎに対し、HSpice で評価した。結果は以下の表のような表れている。HSpice シミュレーション結果によっ

遅延長さ	正常遅延	ゆらぎ (高さー 10%、酸化膜ー 10%)	遅延差
82.4[μm]	1.6[pecs]	1.8[pecs]	0.2[pecs]

表 4.3: 配線のゆらぎ

て、配線は短い場合は 10%のゆらぎがあっても配線遅延の変化は MOSFET の 10% ゆらぎに対し、総体に影響を与える部分が非常に少ないことを明らかにした。

第5章　ウェーブパイプラインプロセッサのクロック分配手法の提案と評価

ウェーブパイプラインに対し、あるステージと次のステージとの間に遅延バッファを挿入しクロックタイミングを調整して、正確なタイミングを与えるためのクロック分配方式の確立した。

5.1　ラッチ

5.1.1　ラッチの設計

ラッチは最も単純なメモリ要素である。パイプラインの技術に対し、クロック信号によって、データを保存と送ることを役割している。本研究は 0.1μm 寸法のルールで作ったウェーブパイプラインプロセッサに対し、クロック分配を行い、0.1μm 寸法のルールでラッチを設計した。

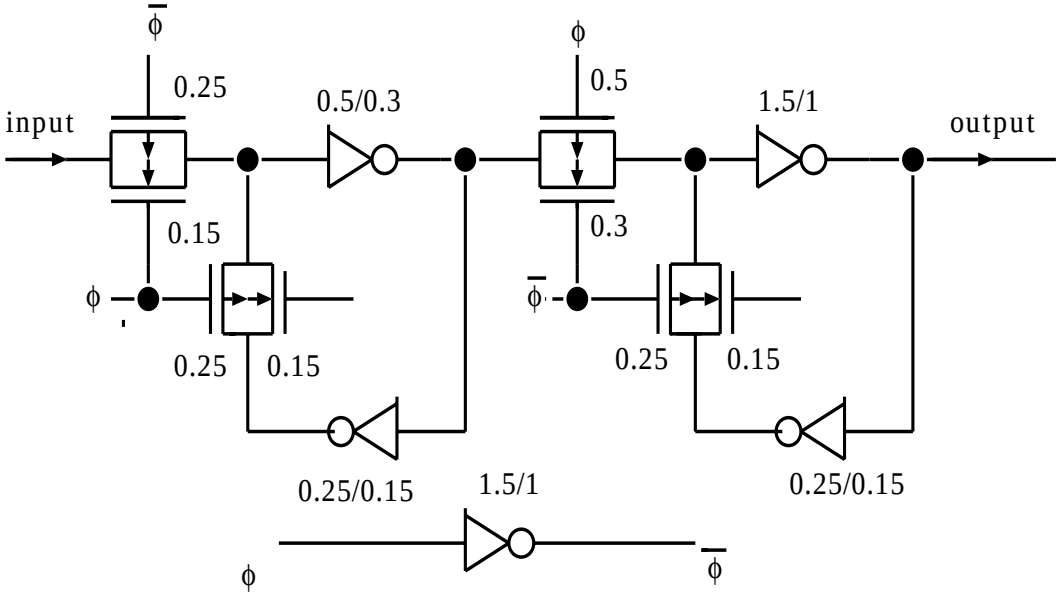

図 5.1: 0.1um ラッチの設計寸法

この設計は全部のゲート長は0.1μmと設定した、ゲートの幅は図の中に表れている数字によって、設計したいた。例えば0.5/0.3の場合はPmosのゲート幅は0.5である、nmosのゲート幅は0.3である。

評価はHSpiceで行った。次の表で表れている。

		遅延 [psec]	setup time [psec]	hold time [psec]	合計 [psec]
入力信号	H	41.7	22.6	0	64.3
	L	30.8	40.6	0	74.4

表 5.1: ラッチの評価

5.1.2 ラッチのブロック化

ラッチ内部クロック分配ツリーを構築

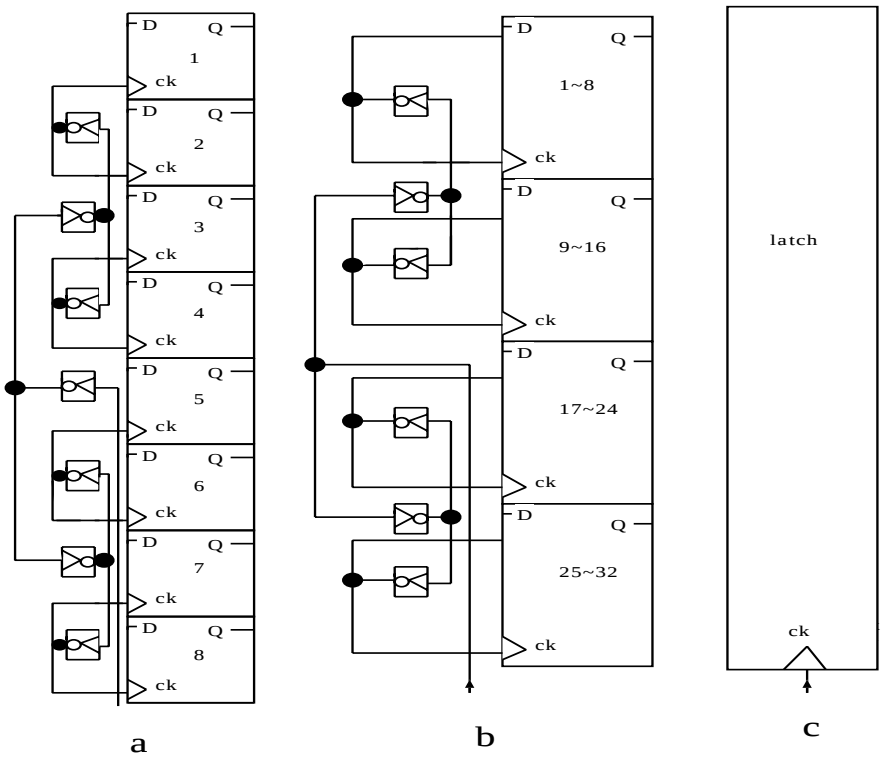

図 5.2: 0.1um ラッチのクロック分配ツリー

図のように配置配線を含んで、設計している。主にの素子は0.1μm 寸法で設計したラッチとインバータと配線である。

各セルとラッチのブロックの面積は次の表で表れている。

	セルの面積 (μm^2)	セルの数	総面積 (μm^2)
ラッチ	3.4×3.3	32	359.04
インバータ	0.7×1.2	30	25.2
ラッチのブロック	7.5×108.8	1	816
5 段パイプライン (例)	816	4	3264

表 5.2: ラッチのクロック分配

クロック面積を決まると配線の長さも決められる。図 5.2 ラッチのクロック分配に基づいて、配線長を設計した、次の表のように配線のパラメータを表れている、一段の意味はブロック内部でクロックソースから一段のインバータまでの距離である、インバータの位置によって、段を分けている。

	1 段 (μm)		2 段 (μm)	3 段 (μm)	4 段 (μm)	5 段 (μm)
配線長	54.4	28	14.2	7.2	3.4	3.4
配線抵抗	0.162kΩ	0.084kΩ	0.0426kΩ	0.0216kΩ	0.0102kΩ	0.0102kΩ
配線容量	0.91936fF	0.4732fF	0.23998fF	0.12168fF	0.05746fF	0.05746fF

表 5.3: ラッチの配置配線

図 5.2 ラッチのクロック分配を設計のよって、ブロック内部でクロックソースから、第 3 段インバータ前に中途分岐があるバッファと見える、そういう考え方で、ラッチブロック内部のクロック分配は二段のバッファの構造を明らかにした。ブロック内部ラッチクロック分配について、ゆらぎの問題は HSpice で評価し、図 5.3、 5.4 の結果は以下の表のような表れている。ゆらぎを生成条件は最悪条件、プロセス、ゲート長 L ＋ 10%、幅 W-10%、酸化膜厚さ+10%、移動度-10%、配線高さ-10%、配線の酸化膜-10%、動作条件、電圧-10%、温度 50 °と設定、最良条件はプロセス、ゲート長 L-10%、幅 W+10%、酸化膜厚さ-10%、移動度+10%、配線高さ+10%、配線の酸化膜+10%、動作条件、電圧-10%、温度 50 °と設定する。ゆらぎは Δ で表示している。

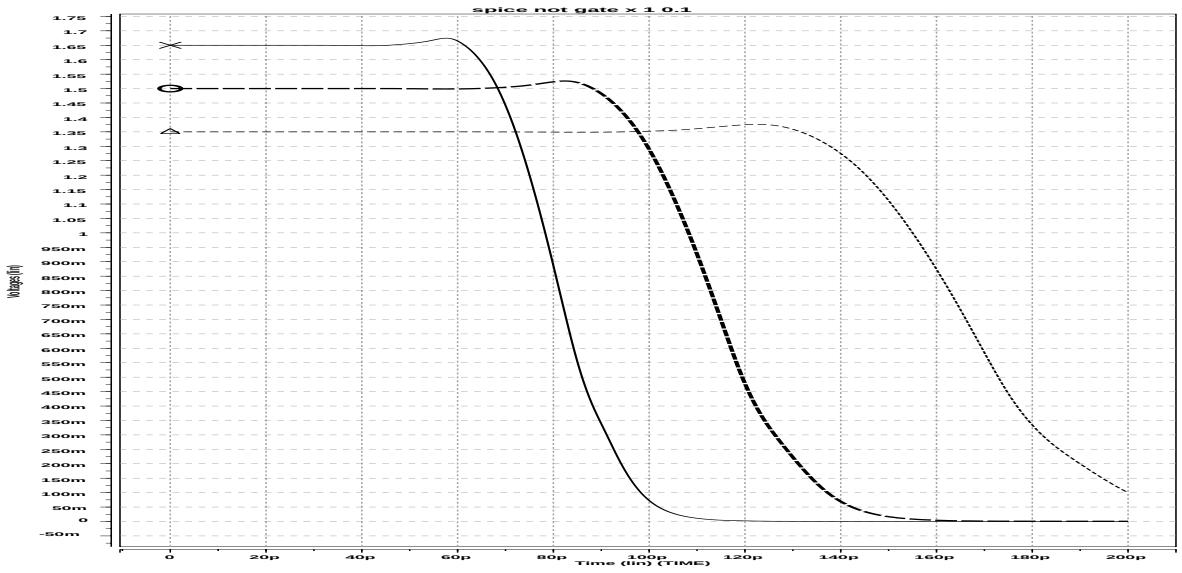

図 5.3: 一段バッファの正常条件と最悪条件と最良条件の評価

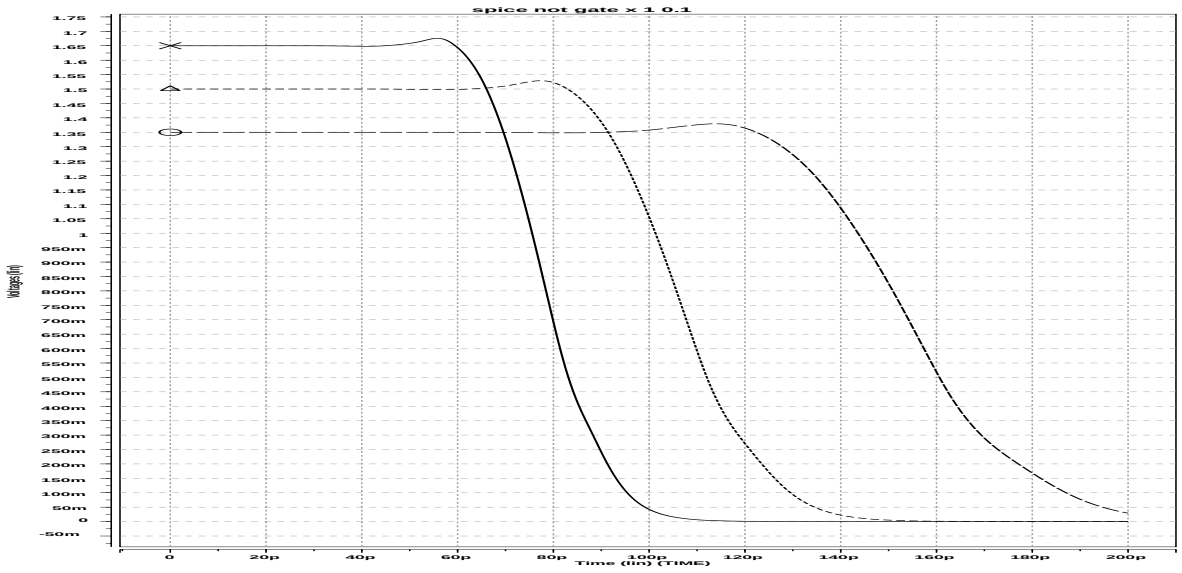

図 5.4: 二段バッファの正常条件と最悪条件と最良条件の評価

遅延単位 [pecs]

	正常条件	総	最悪条件	総	最良条件	総	Δ	総 Δ
1段バッファ	45.8	90.3	68.5	134.7	32.1	63.5	36.4	71.2
2段バッファ	44.5		66.2		31.4		34.8	

表 5.4: ラッチブロック内部クロック分配ゆらぎ分析

5.2 ウェーブパイプラインプロセッサのクロックタイミングモデル分析

ウェーブパイプラインプロセッサの動作原理に基づいて、クロックタイミングモデルを構築した、以下図のようなモデルを表れている。

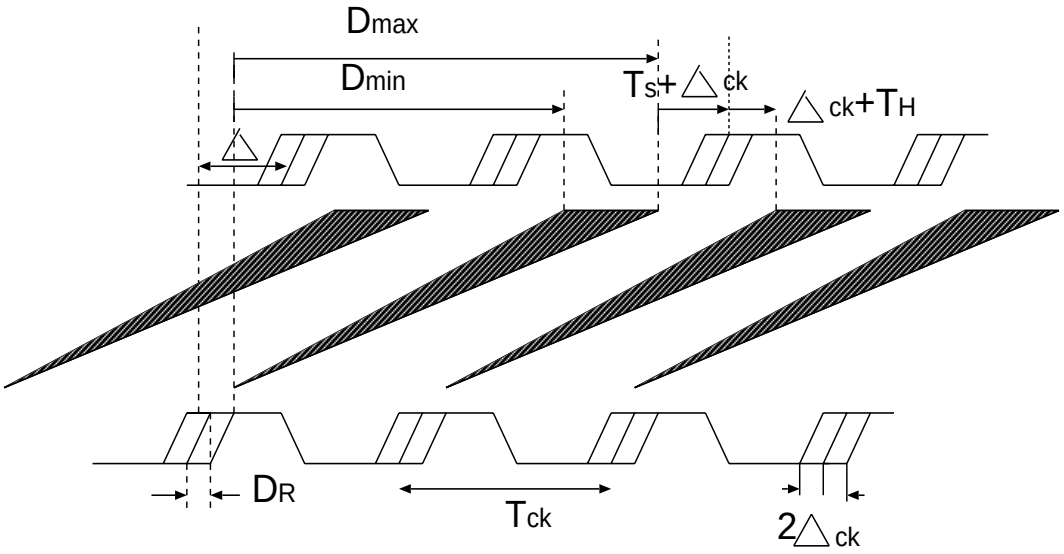

図 5.5: ウェーブパイプラインプロセッサのタイミングモデル

ウェーブパイプラインの動作原理によってウェーブパイプラインの動作条件を明らかにする。

$$T_{ck} \geq (D_{MAX} - D_{MIN}) + T_S + T_H + 2\Delta ck \tag{5.1}$$

$$\triangle \leq D_{MINn} - NT_{ck} \tag{5.2}$$

$$\triangle \geq D_{MAXn} - (N+1)T_{ck} \tag{5.3}$$

N は自然数でウェーブ数、D_{MAX} はステージ間の最大遅延、D_{MIN} はステージ間の最少遅延、D_{MAXn} はあるステージ間の最大遅延、D_{MINn} はあるステージ間の最少遅延、T_{ck} は

ウェーブパイプラインのクロック周期、T_S、T_H はラッチのセットアップ時間とホールド時間、D_R はラッチの遅延時間、Δck は予測不可能な skew 時間、$\triangle$ はクロックラインに対しステージの間に挿入するバッファの遅延である。

それで、ステージの間に挿入バッファは第 3 章 MOSFET の性質から、求められる、ウェーブパイプラインプロセッサのクロック分配はその時間制約を守って、また、配置配線も考えて、ウェーブパイプラインプロセッサを正し動作させる手法を理論的に提出した。

5.3 五段ウェーブパイプラインプロセッサのクロック分配

5.3.1 五段ウェーブパイプラインプロセッサ

五段ウェーブパイプラインプロセッサはウェーブ化のプロセッサを用いて、以上提案した手法も用いて、クロックを分配した。次の表はウェーブ化したパイプラインプロセッサのパラメータを示している。

ステージ	最大遅延 [pecs]	最小遅延 [pecs]	遅延差 [pecs]	セル数	総セル面積 [um^2]
IF	2995.5	431.9	2563.7	321	733
ID	2916.5	422.964	2493.5	2673	9772
EXE	7052.6	4452.6	2600	656	1353
MEM	1877.3	521.5	1355.7	70	165
WB	1786.6	247.4	1539.3	3397	6982

表 5.5: 0.1um 遅延予測結果

5.3.2 プロセッサのクロック分配

以上のプロセッサのパラメータから、総セルの面積を求められる、19005μm^2 である、また四つラッチブロックの面積を合わせて、このプロセッサの総セル面積は 22269μm^2 である、総セルの面積はほぼプロセッサ全体面積の 3 分の 1 である。配置配線を含んで、プロセッサの面積は 0.3mm×0.3mm と仮定すると、十分である。バッファ間の距離とラッチブロック間の距離は図 5.6 のような、分配している。図の中に Buffer1 から Buffer4 までは仮想バッファである。後で詳細の計算を行う。

最初はインバータを配置し、最後ラッチブロックを入る前にまだインバータ一つを配置する。挿入バッファは以下図のように設計する。図にような、挿入バッファは四つのインバータを構成している。最初と最後のインバータは常に同じ寸法で設計している、真中の二つインバータは実際の要求を合わせるように調整する、MOSFET の性質からバッファの寸法を求められる。

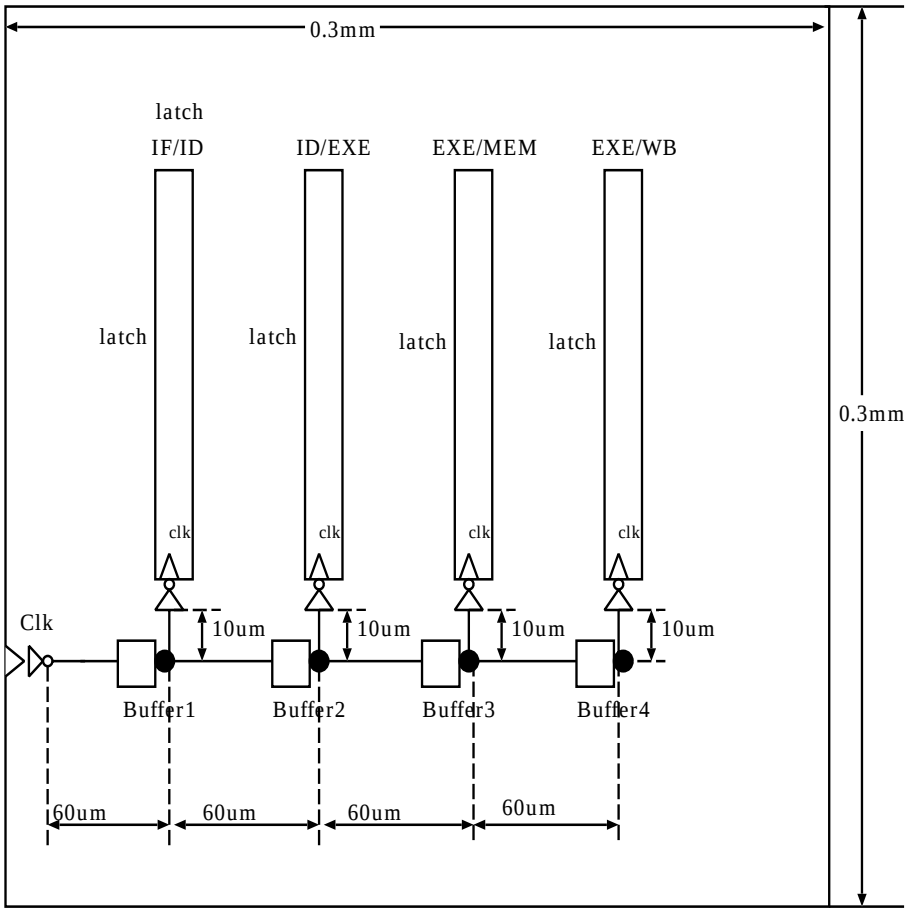

図 5.6: プロセッサのクロック分配

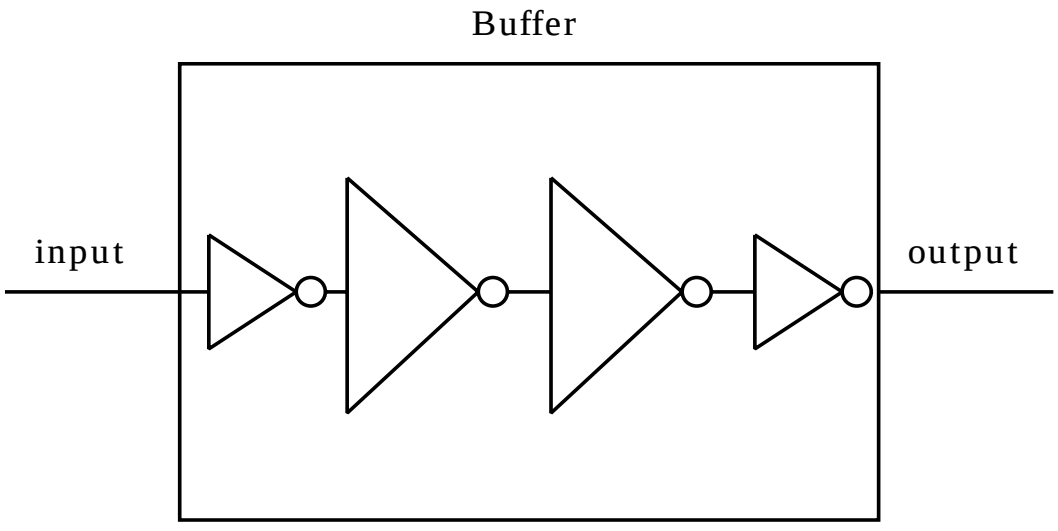

図 5.7: 挿入バッファの内部構築

もし四つの個所にバッファは全部挿入必要がないと、一つインバータは四つのインバータを駆動させ、その場合はゆらぎ (その前ゆらぎの分析と同じ条件で) と遅延を HSpice で評価した。

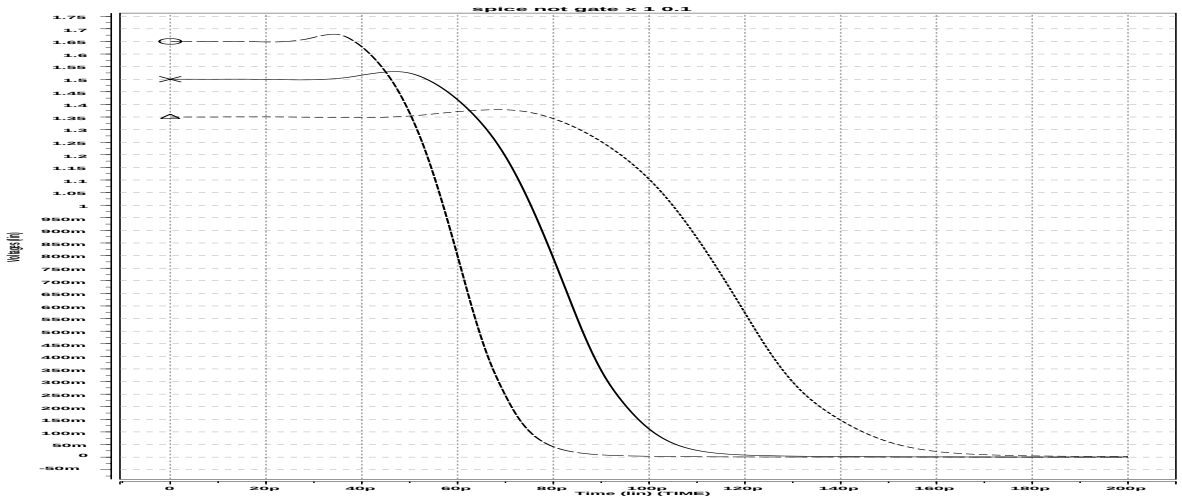

図 5.8: プロセッサクロックツリーのゆらぎ分析

バッファ 入力 (1 → 0) 、出力 1 → 0 時間単位 [pecs]

	入力 A が 0.2V になる時間	出力が 0.2V になる時間	遅延時間	ゆらぎ Δ
正常	40.6	95.3	54.7	
最悪条件	55.3	135.7	80.4	41.2
最良条件	31.9	71.1	39.2	

表 5.6: プロセッサクロックツリーのゆらぎ分析

5.3.3 クロック周期を導出

設計したラッチを用いて、以上五段ウェーブパイプラインプロセッサのパラメータからクロック周期を導出できる。単位は [pecs]

Δck = ラッチ内部クロック分配ツリーのゆらぎ + プロセッサクロック分配ツリーのゆらぎ (5.4)

$$T_{ck} > (D_{MAX} - D_{MIN}) + T_S + T_H + 2\Delta ck = 2906.1 \tag{5.5}$$

ここでこの五段ウェーブパイプラインプロセッサの周期を決まれる。2906.1[pecs] より大きくなければならない。また安全性により、2950[pecs] にする。

また各ステージのずれる △ を求められる。次の表で表れている。

ステージ	挿入バッファの範囲 [psec]
IF/ID	$45.5 < \Delta < 431.9$
ID/EXE	$0 < \Delta <422.964$
EXE/MEM	$1152.6 < \Delta <1502.6$
MEM/WB	$\Delta \leq 523$

表 5.7: 各ステージラッチのタイミング状態

そして、挿入するバッファの範囲を明らかにした。図 5.6 の中にバッファ3 とバッファ4 にバッファを挿入しなくてもいい。

バッファ1 は第 3 章で設計したバッファ三つで組み合わせる。ここで A バッファとする。

挿入するバッファ 1 時間単位 [pecs]

	遅延時間	ゆらぎ
正常	80.7	51
最悪条件	108.3	
最良条件	57.3	

表 5.8: バッファ 1 に挿入するバッファA

それで、挿入バッファの遅延を明らかにした。最小は 57.3[pecs]、最大は 108.3[pecs] のことを分かる。でもバッファA の条件に対し、問題がないから。ここでバッファA を挿入することになる。

EXE/MEW 段階で遅延が大きくて、単純にバッファだけ挿入すると困難である。クロック信号は方形波とする。クロック信号から、次の図のような分析する。

この図のように、clk 信号と $c\bar{l}k$ 信号は 1475[pecs] をずれている。それで、最初バッファ3 に一つインバータを挿入する。では、遅延も 1475[pecs] 程にずれている。もう一回挿入バッファを計算すると △ の範囲は以下のようになる。

$$1152.6 - 1475 < \triangle < 1502.6 - 1475 \tag{5.6}$$

ここで

$$\triangle < 31.2[pecs] \tag{5.7}$$

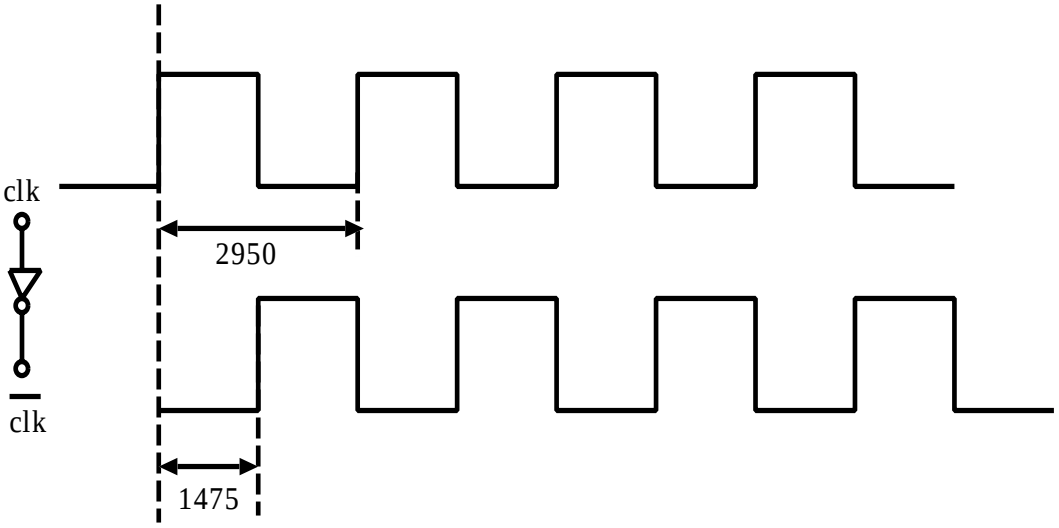

図 5.9: クロックソースの分析

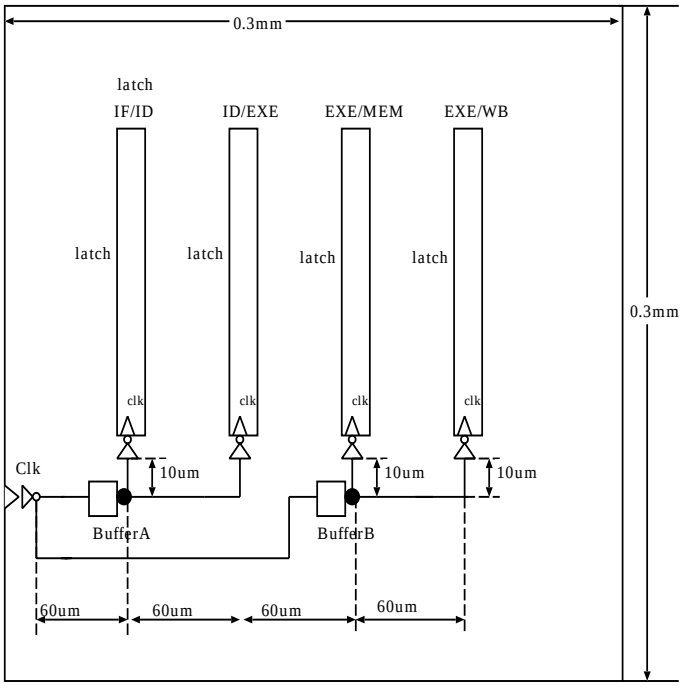

図 5.10: クロック分配

そこで △ の範囲は厳しくなる、では解決方法は以下の図のように、提案する。

図の中にバッファA はまたさっきのバッファを使ってる、バッファB の範囲を明らかにする。△B =△A +△EXE/MEM 、 △ID/EXE = 0 から、無視してもいい。

ここで、△B の範囲は明確にした。

$$1198.1 < \triangle < 1934.5 \tag{5.8}$$

ここで バッファB に一つインバータを挿入する、△ の範囲は 459.5[pecs] より小さくなければならない。範囲は広くなる。

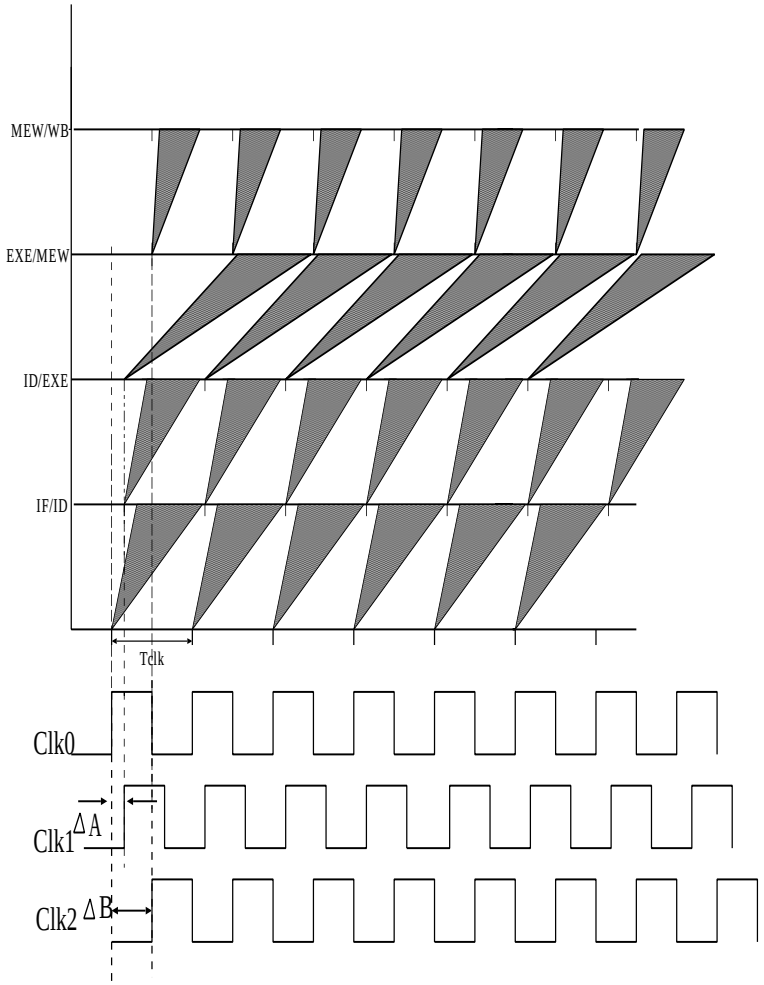

図 5.11: クロック分配

各ラッチの動作タイミングは HSpice で評価した、次の表に表れている。

以上の条件は表 5.7 と合わせるから、設計したクロックツリーがタイミングの時間制約を守れるので、ウェーブパイプラインはうまく動作できた。

ラッチ立ち下がりの場合 時間単位 [pecs]

ステージラッチ	動作タイミング	手前のステージとずれる △
クロックタイミング	1512	-
IF/ID	1608	96
ID/EXE	1609	1
EXE/MEM	3036	1426
MEM/WB	3036	0

表 5.9: 正常状態のタイミング

ラッチ立ち下がりの場合 時間単位 [pecs]

ステージラッチ	動作タイミング	手前のステージとずれる △
クロックタイミング	1530	-
IF/ID	1673	143
ID/EXE	1674	1
EXE/MEM	3073	1399
MEM/WB	3073	0

表 5.10: 最悪状態のタイミング

ラッチ立ち下がりの場合 時間単位 [pecs]

ステージラッチ	動作タイミング	手前のステージとずれる △
クロックタイミング	1502	-
IF/ID	1570	68
ID/EXE	1571	1
EXE/MEM	3013	1442
MEM/WB	3013	0

表 5.11: 最良状態のタイミング

5.4 任意なウェーブパイプラインの回路に対しクロック分配手法の検討

あるウェーブパイプラインのステージが多くなるほど、演算結果の出る時刻の変動が大きなる、初ステージの動作タイミングとある同じ時刻あるいは一定オフセット以内に動作するステージを求め、両方のは同じクロックソースから駆動する、オフセットの調整はバッファ挿入にする。図 5.8 のような考えている。以上の研究によって、任意なウェーブ

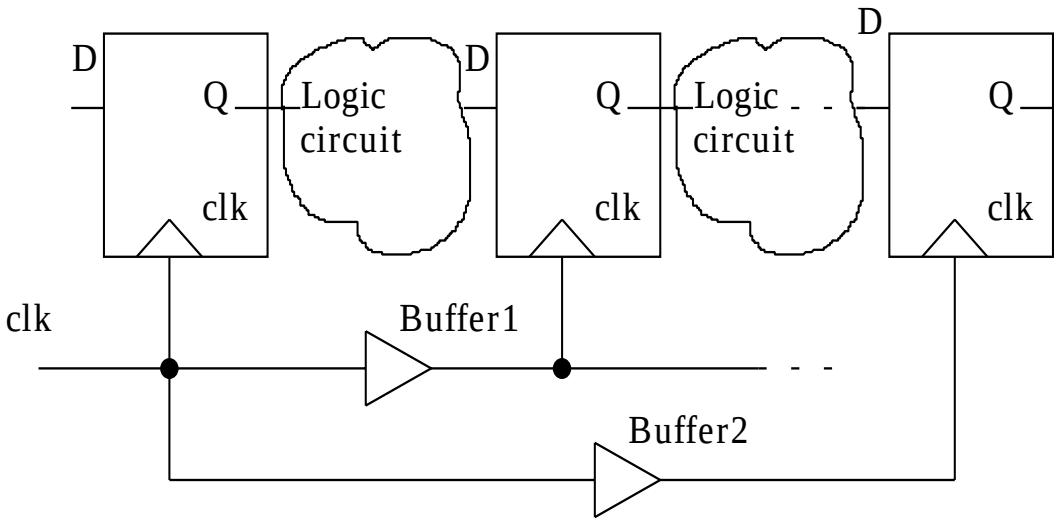

図 5.12: バッファの挿入モデル

パイプラインの回路に対しクロック分配の考え方を以下のようにまとめられる。

1. ラッチを決定する
   (a) セットアップ時間とホールド時間求める
   (b) ラッチはそのプロセッサに対し、クロック分配ツリーを構築
   (c) 分配ツリーより、ゆらぎを求める
2. ウェーブパイプラインプロセッサの面積より全体のラッチブロックの分配を仮定する
3. ウェーブパイプラインプロセッサ動作原理より、クロック周期を仮定
4. ラッチブロックのタイミングモデルより、各ラッチブロックの挿入バッファを決定
5. 遅延バッファを挿入し、ゆらぎを検討する
6. 時間制約を守るまで 2 に戻り検討を繰り返す

以上のステージで意なウェーブパイプラインの回路に対しクロックうまく分配できるはず。

第6章　結論

6.1　本研究から分かること

本研究で提案するクロック分配手法により、ウェーブパイプラインがうまく動作するのを確保することになった。性能の要因としてサイクルタイムをいかに減らすかが開発の基本である。サイクルタイムの短縮はパイプライン技術と回路技術などを使い動作周波数の向上によりなされる。従来なパイプラインステージの理論段数を減らし、ステージ数を増やした、深いパイプラインでは、1クロック1命令達成できず、効率が低下する。通常のパイプラインではクロック周波数の限界はステージ間の最大遅延時間で決定する。すべてのステージは同一タイミングで動作する必要があるのでクロック分配の難しくなる。ウェーブパイプラインの考え方によって、クロックの分配を遅延素子を挿入し、ゆらぎと配置配線も含んで、高速なCPUアーキテクチャの実現することを可能にした。

6.2　今後の課題

遅延均衡化進めると、遅延差はもっと小さくなるので、クロック分配のは難しくなる。それに対し短小なクロック周期に対し、全体のチップにクロック分配して、クロックの限界を挑戦することは今後の課題にしたいと思う。

謝辞

本研究を進めるにあたり、様々な面で丹心な助言を頂き熱心な御指導をして頂きました日比野靖教授に心から感謝致します。

本研究を進めるにあたり、多大な御助言を頂き熱心な堀口進教授と田中清史 助教授に心から感謝致します。日比野研と田中研究室の皆様には、普段から御指導を頂き、お世話になりましたことを深く感謝致します。

本研究に関して、多大な御助言、御指導をして頂いた博士後期課程の 白勢 政明、楊軍に心より感謝致します。

最後に、常に精神的にご支援くださった友人に、暖かい見守ってくれた親、姉に心から感謝致します。

参考文献

[1] 日比野 靖. マルチスレッド型超パイプラインプロセッサアーキテクチャ. H10∼12 科研費成果報告 (B)(2)10480058, 2002.

[2] W.P Burleson, M. Cisislski, F. Klass, and Wentai Liu. Wave-pipeling: A tutorial and survey of recent research. *IEEE*, 1998.

[3] Xiaohong Jiang and Susumu Horiguchi. Statistical Skew Modeling for General Clock Distribution Networks in Presence of Precess, *IEEE*, 2001.

[4] David A.Patteson / John L.Hennessy. 成田 光彰訳. コンピュータの構成と設計, 2000.

[5] 池田 吉郎. “ウェーブパイプラインを用いたマルチスレッド型プロセッサアーキテクチャに関する研究”, 北陸先端科学大学院大学修士論文, 1999.

[6] 宮前 義範. “ウェーブパイプラインのための遅延均衡化回路構成と配置配線”, 北陸先端科学大学院大学修士論文, 2003.

[7] 松居 明宏. “ウェーブパイプラインによる低消費電力プロセッサ設計と試作による性能実証”, 北陸先端科学大学院大学修士論文, 2002.

[8] 大石 亮介. “フィードバックのあるパイプライン回路のウェーブ化に関する研究”, 北陸先端科学大学院大学修士論文, 2002.

[9] C. ミード, L. コンウェイ. 超 LSI システム入門, 培風館, 1997.

[10] 浅田 邦博編. デジタル集積回路の設計と試作, 培風館, 2000.

[11] 菅野 卓雄監修. CMOS 超 LSI の設計, 培風館, 1989.

[12] 榎本 忠儀. CMOS 集積回路, 培風館, 1996.

[13] 富田 真治. コンピュータアーキテクチャI, 丸善株式会社, 1992.

[14] Neil H.E. West, Kamran Eshraghian. 富川 孝, 松山 泰男監訳. CMOS VLSI 設計の原理, 1988.

[15] Yuhua Cheng and Chenming Hu. 鳥谷 部 達監修. MOSFETのモデルリングとBSIM3ユーザーズガイド, 2002.

[16] M.Morris Mans. 奥川 峻史, 井上訓行訳. コンピュータの論理設計, 1979.

[17] Barry B.Brey. The Intel Microprocessors 8086/8088, 80186/80188, 80286, 80386, 80486, Pentium, Pentium Pro, and Pentium II Prodessors Architecture, Programming, and Interfacing Fifth Edition, 2001.

[18] John L.Hennessy, David A, Patterson. Computer Architecture A Quantitative Approach, Third Edition, 2003.

[19] 1996 META-SOFTWARE, INC. HSPICE User's Manual: Simulation and Analysis, 1996.

[20] Daniel P.Foty. MOSFET MOFELING WITH SPICE Principles and Practice, 1997.

[21] C. Thomas Gray, Wentai Liu, Ralph K. Cavin. Wave Pipelining: Theory and CMOS lmplementation, 1994.

[22] 武部 幹 ”回路の応答 ” 電子情報学会編 電子情報学会大学シリーズコロナ社 1981

[23] 篠崎 寿夫、武部 幹 ”過渡現象と波形解析 ” 東海大学出版会 1991

[24] 宮田 房近 ”過渡現象 ” 共立全書 141 共立出版 1964

[25] 日比野 靖、”RC回路・線路の解析 (1〜6)” http://www.jaist.ac.jp/ hibino/RC-ANAL/