

Title	チップレット時代における業界構造変化と付加価値シフト
Author(s)	若林, 秀樹
Citation	年次学術大会講演要旨集, 39: 592-597
Issue Date	2024-10-26
Type	Conference Paper
Text version	publisher
URL	<a href="http://hdl.handle.net/10119/19456">http://hdl.handle.net/10119/19456</a>
Rights	本著作物は研究・イノベーション学会の許可のもとに掲載するものです。This material is posted here with permission of the Japan Society for Research Policy and Innovation Management.
Description	一般講演要旨

## 2 A 1 7

# チップレット時代におきる業界構造変化と付加価値シフト

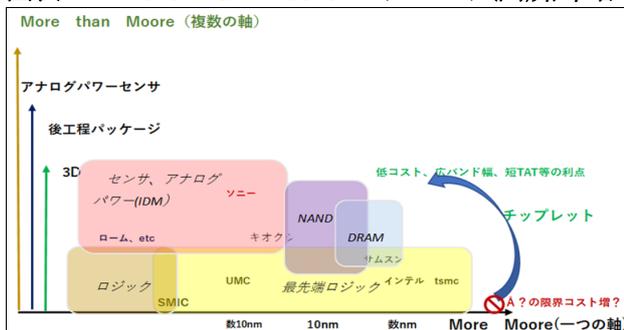
○若林秀樹(東京理科大 MOT)  
[wakabayashi.hideki@rs.tus.ac.jp](mailto:wakabayashi.hideki@rs.tus.ac.jp)

### 1. はじめに

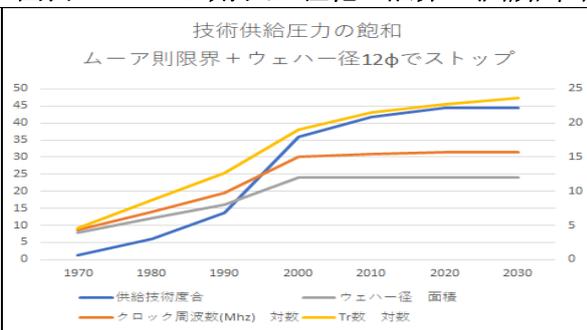
DX、GX、SX(セキュリティ、セイフティ、安全保障)の中、各国が半導体産業に巨大な政府支援を行っている。日本も経産省が主導し、半導体デジタル戦略を検討<sup>1</sup>、TSMC 誘致やラピダス設立、IOWN 光電融合など、既に 5 兆円近い資金を投入している。この成否を握る一つがチップレット技術である。半導体産業は、半世紀にわたり、Moore(ムーア)則すなわち微細化による集積化向上で発展してきたが、その限界が見え始めている。しかし、ここ数年、ムーア法則の限界を超えるチップレットが注目され、ロードマップ<sup>2</sup>上は、ハイエンドで 2030 年以降大半がチップレットに置き換わるとの見方もある。

チップレット技術とは集積回路を構成する CPU、GPU、メモリ、センサ等、機能毎の複数のチップを、それぞれ最適なプロセスで製造、後工程で組み合わせ、一つのチップとしてパッケージ化する技術である。集積回路を、同一プロセスで一つのウェハー上でモノリシック<sup>3</sup>に製造する従来製法と比較して、コスト低減と高性能動作の両立が可能とみられている。半世紀以上にわたり半導体業界はムーアの法則にそって微細化と高集積化が進みコストダウンや性能向上が続いていた。しかし周波数飽和や熱の問題、コストアップなど限界が見えてきた。そこでムーアの法則に該当しない「モザイクムーア」技術の代表であるチップレットが注目されている。ヘテロジニアス<sup>4</sup>まで含めると 300mm シリコンウェハーで最先端のプロセスで製造される先端ロジックやメモリ等のシリコン半導体だけでなく、多様な微細加工線幅や 200mm 以下の小口径の化合物半導体等も対象となる。

図表 1 More than Moore ヘットレンド(出所)筆者



図表 2 ムーア則/大口径化の限界 (出所)筆者



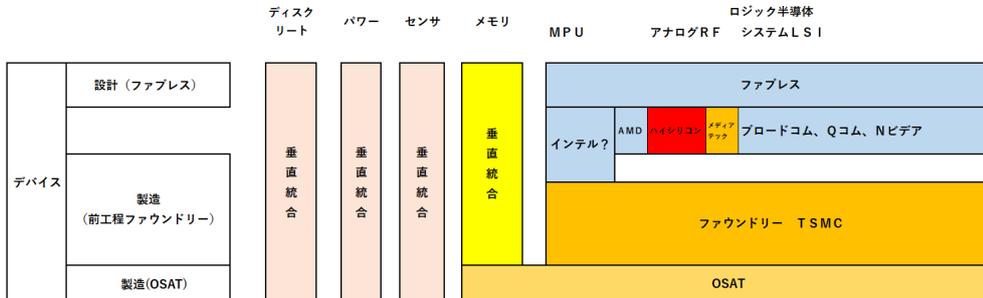
チップレットというこれまでもハイブリッド IC の時代から、モノリシックか否か議論があり、これまでは、微細化の進展により、必ずモノリシックが勝ってきた。しかし、2005 年頃から微細化は進んでも周波数が限界になりコア数増で凌いでも差異が無くなってきたのである。2005~2010 年が大きい転換期であり、NAND で 3D 化や TSMC の CoWoS<sup>5</sup>などの研究開発も出てきており、日本は微細化を諦めた時期でもあった。日本でも 2021 年には NEDO で、3D パッケージがプロジェクトにもなった。2020 年頃には IEDM<sup>6</sup>2020 や 2021 年の Hot Chips<sup>7</sup>2021 でも話題となった。DARPA でも 2017 年に 15 億ドルを投じ、Electronics Resurgence Initiative (ERI)<sup>8</sup>でプロジェクトを始めている。

1 半導体・デジタル産業戦略検討会議 (METI/経済産業省)、TSMC 誘致、ラピダス、IOWN についても、参照、なお、筆者は有識者メンバーであるが、本稿はあくまで個人の見解である  
 2 SBR テクノロジー西尾氏の見解 発表・講演実績 | 株式会社 SBR テクノロジー  
 3 一枚一種のシリコン半導体基板上に全ての素子を集積するもの、反対は、ハイブリッド  
 4 製造プロセスの世代やウェハーの種類や機能が異なるチップを統合する技術  
 5 Chip on Wafer on Substrate、TSMC のハイエンドパッケージ技術  
 6 International Electron Devices Meeting 半導体のデバイスやプロセス技術の世界最大の国際学会  
 7 Hot Chips は、プロセッサ中心に半導体設計に関するカンファレンス  
 8 Electronics Resurgence Initiative 2.0 (darpa.mil) 国防総省の R&D 機関の半導体プロジェクト

## 2. チップレットで業界構造や経営戦略、ビジネスモデルはどう変わるか

半導体産業はムーア則の中で、家電やメインフレーム向けに IDM 垂直統合であったが、90年代後半から、WINTEL 影響、スマホ登場、設備投資巨大化等から、水平分業に移行、ファブレス/ファンドリモデル<sup>9</sup>が生まれた。更に、半導体の後工程を担う、アムコア等の OSAT<sup>10</sup>や、Foxconn に代表される EMS<sup>11</sup>が台頭した。しかし、こうしたモデルはサプライチェーンの複雑化を生んだ。

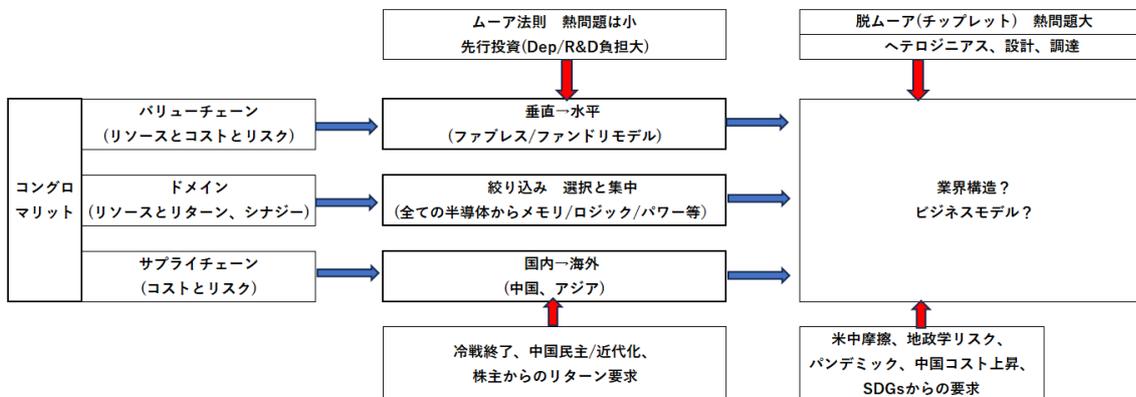
図表 3 半導体業界の水平分業、垂直統合 (出所)筆者



業界構造を変える要因は、革新的技術、政治経済などであり、それに対応する企業戦略である。日本に限らず、先進国のエレクトロニクス業界のコングロマリットは、水平分業シフト、選択と集中を余儀なくされた。もともと、コングロマリットは、バリューチェーン、事業ドメイン、サプライチェーンを全部自前で揃えようとしたが、微細加工の先行投資負担が重く、広い事業領域でのシナジーが薄い上、リソース不足やリターンが悪化もあった。外部環境では、冷戦終結の中で、欧米から中国の民主化期待もあり、中国での現地生産が進んだ [1]。

しかし、ムーア則が限界を迎え、過大な投資負担も課題となり、新たなビジネスモデルが求められている。また、米中対立や地政学リスクやパンデミックリスクから、サプライチェーンの改革が必要である。そこで、チップレットは業界構造にどのような影響を及ぼすのか、ビジネスモデルはどうなるか、を考えなければならない。

図表 4 半導体業界の構造やビジネスモデルに影響を及ぼす要因 (出所)筆者



## 3. 先行研究

チップレットのインパクトについては、技術的な視点から近年多くの研究報告が見られ、折井による「チップレット化時代における半導体実装技術の新潮流」(2022) [2] などがある。実装エレクトロニクス学会では公開の 3D・チップレット研究会<sup>12</sup>も盛んである。しかし業界構造をどう変えるかについてのものは少ない。「短納期・チップレットに勝機~半導体産業は復活するか(2024 日経新聞経済教室若林) [3] や「新時代の半導体ビジネスモデル~チップレットの影響と稼働率とカスタム性の関係~大型設備投資と大量生産時代から抜け出し新たな価値を」[4] 程度に過ぎない。そこで、チップレットが与える業界構造変化を MOT 的フレームワークから論じたい。

<sup>9</sup> ロジック半導体を中心のビジネスモデル形態であり、メモリやパワー、ディスクリットには希である

<sup>10</sup> Outsourced Semiconductor Assembly & Test、半導体の後工程を担う業者 台湾に多い

<sup>11</sup> Electronics Manufacturing Service、電子機器の製造受託の業者

<sup>12</sup> システムインテグレーション実装技術委員会 | エレクトロニクス実装学会 (jiep.or.jp)

#### 4. チップレットの7つのメリット

チップレットが必要となった背景は、先端ロジック、特に CPU や GPU でのコア<sup>13</sup>数増大やダイ<sup>14</sup>のサイズの大型化である。生成系 AI の登場で、広帯域バンド幅、多くのメモリも必要となってきた。

GPU のコア数は、ゲームグラフィックスのレンダリング程度であったが、ディープラーニング向けで急増、生成系 AI やデータセンタ向けではマルチ GPU 構成も増え、省電力化とのバランスから、これまでのモノリシックでは対応が難しくなっていた。モノリシックのメリットは、周波数特性、スピードであったが、もはや、省電力化やコスト面からは、チップレットが上になったのである。

ダイサイズの大型化も著しい。マイコンでは 50 mm<sup>2</sup>以下、DRAM でもせいぜい 50~100 mm<sup>2</sup>程度、微細化が難しい NAND でも 100~200 mm<sup>2</sup>に対し、CPU や GPU は 100 mm<sup>2</sup>を大きく超え 200~500 mm<sup>2</sup>、生成系 AI 搭載の NVIDIA の GPU ではレチクル限界<sup>15</sup>に迫る、800 mm<sup>2</sup>を超えてきている。

このレベルになれば、円と長方形のバランスから 12φ(300mm)ウェハーでも数十個しかとれず歩留まりを考えると低い収率であり、コストの大幅な増加を招く。これが、過去であれば、微細化によるチップシュリンクが有効であったが、周波数限界や消費電力の問題から難しい。

広帯域化もある。生成系 AI では GPU や HPC で高度な並列計算、データ転送速度向上が必要である。これまでは、DRAM では DDR<sup>16</sup>のようにクロック周波数を上げることで対応してきたが、消費電力増が難しい。このためアーキテクチャの異なる HBM<sup>17</sup>が必要となる。HBM は広バンド幅と低消費電力に対応するため積層構造をとることで対応、インターポーザ<sup>18</sup>上に配置されることで、配線距離が短くなり、プロセッサとメモリ間のデータ転送速度をあげ、同時に消費電力も抑えられる。

以上は、先端ロジック中心に、必然的理由であるが、チップレットならではの新たなメリットも多い。HBM 搭載の結果、メモリ数も増やすことができる上、容量を柔軟に拡張、特定のアプリケーションや負荷に応じた最適化が可能になる。無駄なメモリでコストや熱を増やすことがない。モノリシック設計に対し、メモリ構成の柔軟性、カスタム制、最適性可能となる。

IP のメリットもある。半導体の集積化に伴う機能向上はいいが、設計コストが増大し、既存 IP の再利用が望まれていた。チップレットなら既存の検証済み IP 再利用が容易になり、さらに異なる機能を持つチップレットの組み合わせで新しいシステムを迅速に開発、検証できる。いわば、ソフトでの OSS<sup>19</sup>的な開発も可能になる。開発コスト削減と開発期間の短縮、設計リスク低減と信頼性向上が可能になる。

シリコンでのデジタル半導体だけでなく、光やパワー半導体など化合物など含めたヘテロジニアスでは更に効果が大きい。性能、消費電力などの面から最適なチップが生まれる。

これから議論を深めなければならないが、短 TAT<sup>20</sup>にもチップレットは有効である。歩留まり管理が異なるノード別生産、FEOL<sup>21</sup>と BEOL<sup>22</sup>の並列生産、さらに、BEOL と RDL<sup>23</sup>の融合なども可能であり、大幅な TAT 短縮とコストダウンも可能であろう。

まとめると、もともとは生成系 AI 向け GPU に見られる、①コア増への対応、②ダイサイズ巨大化による収率低下コスト対応、③広いバンド幅だったが、結果として、④メモリの拡張性や柔軟性、最適化、⑤IP のリユースによる設計短縮と低コスト化、信頼性向上、そして、⑥ヘテロジニアスも含めた、設計の自由度、であり、⑤と⑥は半導体設計の民主化につながる。そして、これからは、⑦短 TAT であり、ノード別並列生産や FEOL と BEOL、RDL も含めた生産工程の見直しからのメリットは大きい。

チップレットは、ムーア則の「平面での微細化が2年で2倍」から「体積接続密度が年率2倍」という新法則やロードマップを登場させるだろう。体積密度だけでなく、消費電力、レイテンシ、帯域幅、コスト、チップサイズやコア数、に加え、消費電力を含めた他の KPI との組み合わせが重視される。

<sup>13</sup> CPU や GPU 等のプロセッサで独立して演算処理をする中核部分、GPU では数千個になる

<sup>14</sup> ウェハー上で形成されダイソーで切り取られパッケージ化する前の半導体集積回路素子

<sup>15</sup> 1回で露光できる限界の面積：800 mm<sup>2</sup>強

<sup>16</sup> Double-Data-Rate、クロックの立上がりと立下がり両方でデータを転送する方式、最新は DDR5

<sup>17</sup> High Bandwidth Memory、広帯域メモリ

<sup>18</sup> 異なる複数のチップ同士を配線をつなぎパッケージ基板に中継するサブ基板

<sup>19</sup> Open Source Software ソースコードが公開され誰でも無償または廉価で改変再配布できるソフト

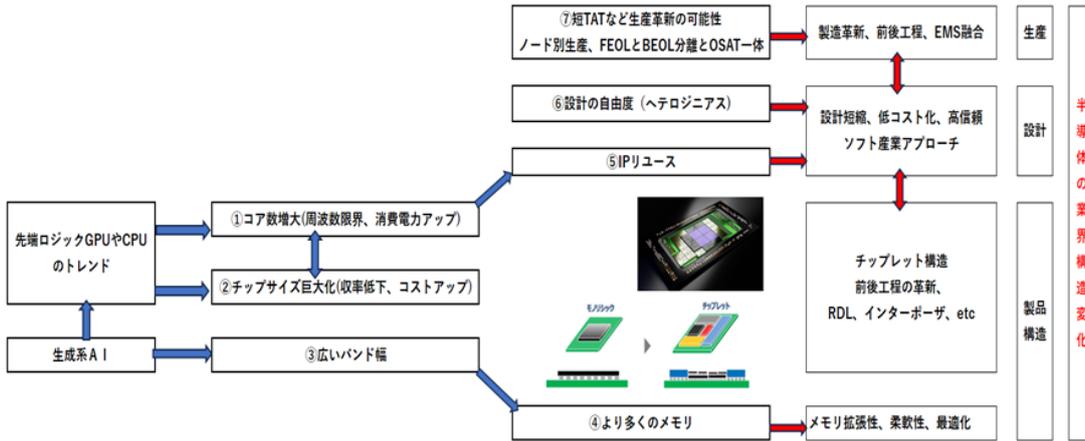
<sup>20</sup> TAT は、turn-around-time、ラピダスの重要な鍵を握る技術

<sup>21</sup> FEOL(=Front End Of Line) トランジスタ形成までの工程

<sup>22</sup> BEOL(=Back End Of Line) 配線形成以降の工程

<sup>23</sup> Redistribution Layer 再配線 基板上に配線を再分配するための層 インターポーザに使われる。

図表5 チップレットの7つのメリット (出所)筆者



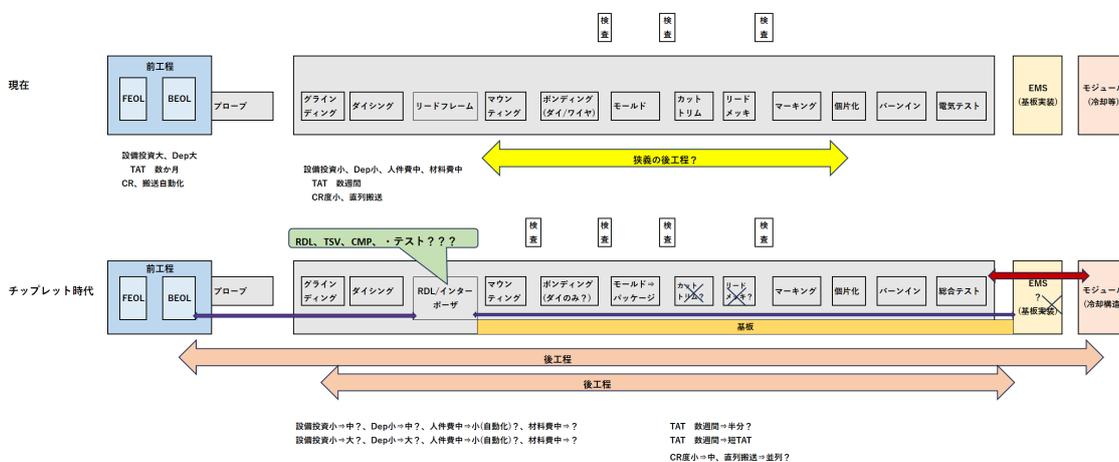
5. 付加価値シフト

チップレットが、製造工程で直接関係するのは後工程でありプローブ工程後から EMS の前のテスト工程までである。前工程から搬入されたウェハをダイサーでダイに分割した上でパッケージ封止し配線をつけチップとなる。これを EMS でプリント基板に他チップや電子部品と一緒に搭載する。

チップレットでは、異なる前工程で製造され、ダイシングしたダイを、プリント基板の上で再配線を施したインターポーザに搭載して、まとめてパッケージ化する。このため、チップレットを経たチップを、更に別のプリント基板に搭載する可能性は減り、EMS 工程が変わる。むしろ熱問題から冷却構造が鍵となるため、従来の EMS とは異なりパワーモジュールであった冷却部品の工程も必要だろう。

チップレットの中で、インターポーザ形成を中工程と呼ぶが、露光や CMP などが必要であり、装置構成は前工程に近い。まだチップレットの範囲をどこまでとするかは議論が多い。

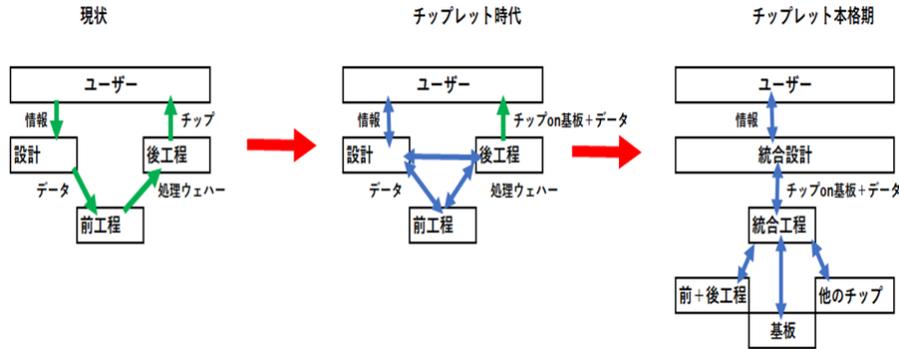
図表6 チップレットにより変る後工程、「中工程(統合工程)」が生まれる (出所)筆者



これまで後工程では設備投資負担は少なく、コストの大半は人件費やワイヤ線等材料費だ。小さく低価格の標準化されたパッケージのチップを大量に生産する。TAT は数週間程度である。しかしチップレットとなると、チップサイズが大型であり価格も NVIDIA の GPU であれば数百万円と高く、カスタマイズされるため生産コンセプトは、部品というよりシステムの生産であり自動化や管理の考え方が大きく変わるだろう。それにより稼働率も変わり、従って、TAT も変わる。

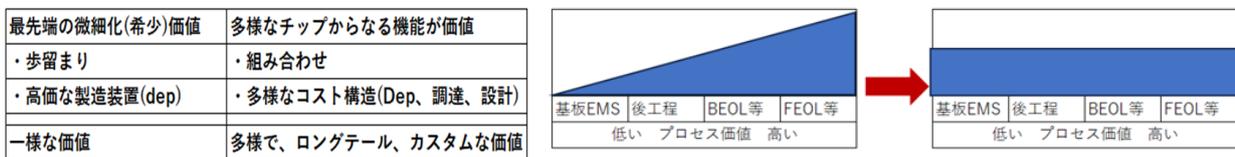
チップレットは、バリューチェーン上、前工程中心から後工程や設計工程と新価値の結びつきを生む。付加価値のウェイトが変り多様なビジネスモデルが生まれつつある。チップレットでは前工程から中工程あるいは統合工程に価値が移り、設計と後工程の結びつきが重要になる。先端ロジックだけでなく、メモリや光電融合チップやコンデンサをプリント基板上でどう配置するか、熱や三次元の形状をどう考慮するかが鍵になる。前工程では電子設計だけだが光や熱や力学、材料など統合設計になる。設計自由度も増え、より多様な機能や価値を載せることができる。前後工程の融合や異種ウェハチップの接合、設計と後工程の融合などファブレス/ファンドリモデル以来の産業構造変化を起こす可能性がある。

図表7 チップレットで変わる繋がり (出所)筆者



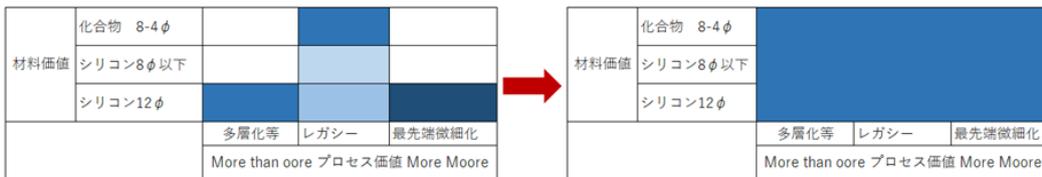
モアムーア時代では価値が最先端の微細化だったのが多様なチップからなる機能が価値となる。KPIも歩留まりから組合せ、コスト構造も多様化する。工程では、これまでは、前工程の中でも FEOL が最大価値、次いで BEOL、後工程だったのがフラットになる。

図表8 チップレットで変わる価値 (出所)筆者



ウェハー口径では、現在は、コストに応じ、12φで最先端微細化の GPU/CPU、多層 NAND、特殊な 8φ化合物の付加価値が高いが、これからは、技術やコストではなく、組合せとカスタム性になる

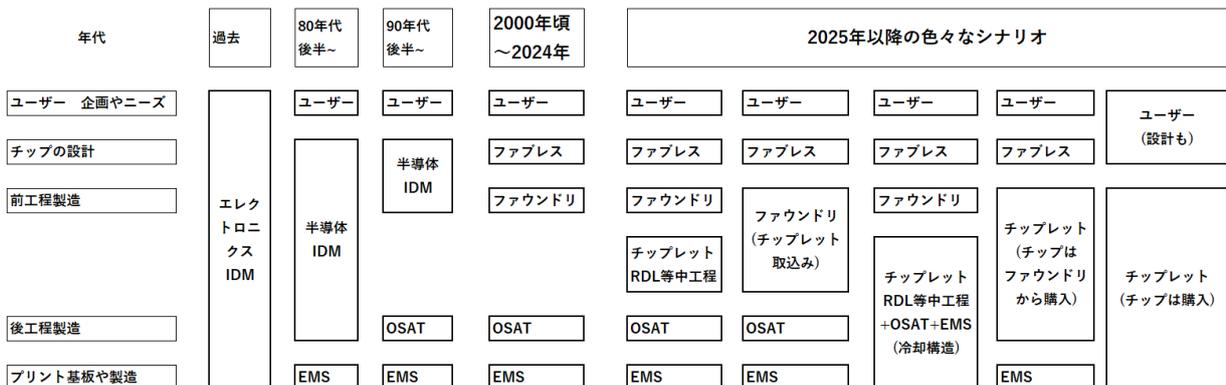
図表9 チップレットで変わる価値の分布 (出所)筆者



チップレットがもたらす構造変化は下記に示すように、色々なシナリオがあろう。それは、各社の力関係やビジネスモデルの競争、アプリケーションによるだろう。有力なのは、ファウンドリと OSAT の間に、中工程を手掛けるチップレット業者が登場するというケース。次は、ファウンドリがチップレットも中工程まで取込み、一部 OSAT にも入るケース。逆に、OSAT から中工程を取り込み、EMS や冷却まで手掛けるケースもあり得るだろう。さらに、チップレット化の利点を活かし、自社になるチップを購入し、ファウンドリまで入り込む場合もあり得る。設計の民主化を活かせばユーザーがファブレスを飛び越えチップレット業者に頼む場合もあり得る。ファウンドリと OSAT まで一気通貫である。

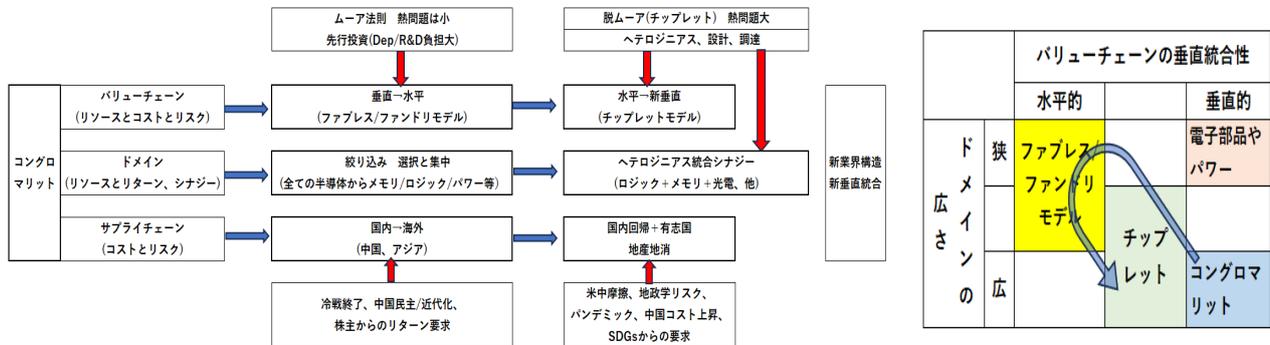
生成系 AI では最終ユーザーとコミュニケーションにより専用チップを製造できる。現在のファブレスやファウンドリは、スマホやゲーム等、大量生産の汎用チップであり、熱やデータ構造などの要求も含め、ユーザーのカスタムに対応できない。専用 AI チップは PCB やパッケージまで含めチップレット設計まで含まれる。

図表10 チップレットで変わる業界構造 (出所)筆者



これまで、業界構造変化をもたらした要因は、経営リソースとリターンとリスクなどの関係である。適切なリスク(サプライチェーン等)の下でリソースに対しリターンを最大化するのが企業の経営である。そうであれば、今後あり得るのは、新垂直統合、すなわちヘテロジニアスチップでの統合シナジーや、サプライチェーンを短くシンプルにするための地産地消であろう。

図表 11 チップレットと業界構造変化 ドメイン広さとバリューチェーンの垂直統合性 (出所)筆者



縦軸にドメインの広さ、横軸にバリューチェーンの垂直統合性をとると、ドメインが広くなればなるほど、リソースもリスクも増え、他方、バリューチェーンは水平的ならコストは小さいがリスクは増し、垂直的ならコストは増えるがリスクはコントロールが可能になる。チップレットでは、中工程や設計との結合による新たなシナジー、ドメインでは、ヘテロジニアスでは新たな機能等でのシナジーが生まれる。これまで、コングロマリットは右下、ファブレス/ファウンドリモデルは左上であったが、やや右下への回帰となる。台湾有事などバリューチェーンのリスクが高まっている場合は垂直化が強まる。

チップレットの業界構造変化については、半導体装置や材料メーカーなど周辺業界の影響も考慮する必要がある。これまで、装置も材料も前工程と後工程で分けられていたが、RDLも含め露光やCMPもあり、前工程から後工程、後工程から前工程へ相互参入が、M&Aなども通じて起こっている。既に、AMATは後工程に参入、脅威となっている。チップレットが業界構造に与える影響は、製品構造だけでなく、製造や設計の革新もあり、デバイスだけでなく、装置や材料、設計にまで及び、領域によっては、参入障壁が低まる場合もある。半導体産業に起きた業界構造変化は水平分業ファブレス/ファウンドリモデルであったが、チップレットは、それ以上のインパクトがありそうだ。

## 6. おわりに

チップレットが業界構造に与える影響について考察した。技術視点からの先行研究では、製品構造の話題が多く、製造方法や設計革新の言及は少なかったが、製造では短 TAT も含めた製造工程の一新、前工程と後工程さらには EMS が担うプリント基板実装工程も含めた大変革、設計では IP 再利用が容易になり、ソフト産業的な OSS なども使えるアプローチが業界に与える影響は大きい。これらが、デバイスメーカー、装置メーカー、材料メーカー、OSAT、EMS も含めた競争力に影響を及ぼすだろう。

チップレットは離陸したばかりであり、NEDO プロジェクトや R&D コンソーシアムは立ち上がり、各社も参入を検討しているが、実際に業界構造変化が起きるのは数年後であるため、今回はこれまでの水平分業など業界構造変化をメタファにありうるシナリオ提示に過ぎず定量分析もできていない。

しかしながら、チップレットの技術特性と各業界への影響度合いを定性的にせよ構造的に示せた点は一定の貢献、成果といえるだろう。

1兆ドル時代を迎える半導体産業は巨額な先行投資と激しいシリコンサイクルから高血圧症的ビジネスモデルできたが、巨額投資負担や市況の振れ幅が大きく、その限界を迎えており、チップレットによる新ビジネスモデルが期待される。幸い、チップレット技術は材料など日本が優位であり、その特性を上手く利用したビジネスモデルを取り入れ、業界再編も含め日本の半導体の復権につなげる好機である。

## 参考文献 URL は 2024 年 9 月 21 日アクセス

- [1] クリスミラー「半導体戦争」ダイヤモンド 2023 年
- [2] 折井靖光 [https://jglobal.jst.go.jp/detail?JGLOBAL\\_ID=202202273374988747](https://jglobal.jst.go.jp/detail?JGLOBAL_ID=202202273374988747) 2022 年
- [3] 若林秀樹「短納期・チップレットに勝機 半導体産業は復活するか(2024 年 日経新聞経済教室)
- [4] 若林秀樹「新時代の半導体ビジネスモデル」 <https://cir.nii.ac.jp/crid/1050863860426737664> 2023 年