

Title	完全パイプライン型2LAL断熱論理回路の設計自動化および最適化
Author(s)	潮田, 裕也
Citation	
Issue Date	2026-03
Type	Thesis or Dissertation
Text version	ETD
URL	<a href="https://hdl.handle.net/10119/20594">https://hdl.handle.net/10119/20594</a>
Rights	
Description	Supervisor: 田中 清史, 先端科学技術研究科, 博士

氏名	潮田 裕也		
学位の種類	博士 (情報科学)		
学位記番号	博情第 581 号		
学位授与年月日	令和 8 年 3 月 25 日		
論文題目	Design automation and optimization of fully pipelined 2LAL adiabatic logic circuits		
論文審査委員	田中 清史	北陸先端科学技術大学院大学	教授
	井口 寧	同	教授
	平石 邦彦	同	教授
	金子 峰雄	同	名誉教授
	高橋 篤司	東京科学大学	教授

### 論文の内容の要旨

The explosive proliferation of artificial intelligence (AI), cloud computing, and the Internet of Things (IoT) has transformed power consumption in semiconductor integrated circuits into one of the most pressing technical and environmental challenges of the 21st century. Data centers supporting large-scale AI models now rival small nations in electricity demand, with projections estimating that AI-related infrastructure could account for 8% of global power by 2030. Simultaneously, billions of IoT and wearable devices operate under stringent battery or energy-harvesting constraints, where micro-watt-level efficiency improvements directly translate to extended operational life and enhanced user experience. Adiabatic logic, first conceptualized by Landauer and later formalized by Charles Bennett in 1973, offers a radical alternative: reversible computation that preserves information and enables energy recovery. By charging and discharging capacitive loads through resonant power-clock networks, adiabatic circuits can theoretically eliminate  $CV^2 f$  dissipation during switching. Early explorations in the 1980s and 1990s demonstrated logical reversibility in CMOS, but practical energy recovery remained elusive due to the absence of efficient resonant mechanisms and significant circuit overhead. Among adiabatic families, Two-Level Adiabatic Logic (2LAL) stands out for its near-ideal energy recovery, robust noise margins, and compatibility with standard CMOS processes. Employing dual-rail encoding, transmission gates (T-gates), and four-phase power clocks, 2LAL achieves charge recycling with minimal non-adiabatic losses. Recent industry breakthroughs, such as Vaire Computing's Ice River test chip in 2025, have demonstrated net energy recovery with a  $1.77\times$  efficiency factor over conventional circuits in 22 nm CMOS, validating resonant adiabatic switching in silicon for the first time. Even though 2LAL has an excellent potential in power dissipation, in its fully pipelined gatelevel configurations, mandatory "decompute" operations for charge recovery cause severe buffer overhead. Input and output signals of each logic gate are buffered across pipeline stages. When the role of an output signal is completed, more specifically, after driving the decomputes of all fanout gates of the output signal, its replica is regenerated from the input and placed it in opposition to the target output signal for returning charge to the power supply. This decompute must be performed for every gate, leading to an explosive increase in buffer count and impractical circuit area. This thesis aims to

systematically reduce this buffer overhead by determining and optimizing which logic gates should receive early decompute and at what timing it should be applied. Early decompute involves decomputing a gate output immediately after computing the subsequent output and recomputing it when the subsequent output is decomputed. Although this doubles decompute operations per gate, it eliminates buffers between the first decompute and recompute phases, enabling substantial area reduction. While prior work proposed only simple heuristics for this concept, this research focuses on the structural properties of adiabatic circuits and formulates the problem of selecting early decompute targets and their timing as an integer linear programming (ILP) task from three distinct approaches: 1. Formulating early decompute insertion as a pipeline stage assignment problem under fixed scheduling to achieve optimization. 2. Reformulating early decompute target selection as a weighted maximum stable set problem on an Extended And-Inverter Graph (E-AIG), significantly reducing the search space in terms of total pipeline stages and candidate gate count, thereby shortening computation time. 3. Extending the first approach to jointly optimize early decompute timing and logic gate pipeline stage assignment, enhancing scheduling flexibility. These methods were applied to all 11 circuits in the ISCAS-85 benchmark suite, a standard for combinational logic synthesis, and evaluated using the area efficiency metric  $E_{area} = M2LAL/MCMOS$ . Results showed up to 79.1% area reduction compared to 2LAL circuits without any early decompute, and up to 55.9% improvement over circuits obtained by prior heuristic methods. Notably, the second method achieved optimal solution extraction for all 11 circuits in under one second. This enabled analysis of the trade-off between area performance and computation time, clarifying the applicable scope of each method. A rigorous energy-area-leakage trade-off analysis, validated through nanometer-scale LTspice simulations across 45 nm, 35 nm, and 22 nm nodes, confirmed that optimized 2LAL maintains orders-of-magnitude energy superiority over CMOS even with residual overhead, with advantages strengthening in leakage-dominated advanced nodes due to exponentially rising static power. Tolerable area overheads reach  $500\times$ – $1200\times$  at practical frequencies, providing vast headroom for deployment. Additionally, the appendix proposes two LC-resonant power-clock generators (2N2P-1 and 2N2P-2) for trapezoidal waveforms. Design equations and theoretical power consumption formulas were derived for each, and characteristics were evaluated and compared via LTspice simulation. This provides a theoretical guideline for selecting the optimal power-clock configuration from a power dissipation perspective, establishing a foundation for designing adiabatic logic circuits as a complete system encompassing both logic and power components. This research establishes a comprehensive design automation framework for practical synthesis of Two-Level Adiabatic Logic (2LAL), simultaneously achieving circuit area optimization, computational efficiency, power system integration, and verified energy superiority in modern technology nodes—paving the way for deployment in ultra-low-power IoT, edge AI, implantable devices, and energy-harvesting systems. Keywords: adiabatic logic, reversible computing, Two-Level Adiabatic Logic (2LAL), early decompute scheduling, buffer minimization, integer linear programming, stable set problem, pipeline rescheduling, energy-area trade-off, low-power VLSI, sustainable computing

## 論文審査の結果の要旨

本博士論文は、Design automation and optimization of fully pipelined 2LAL adiabatic logic circuits と題し、英文 7 章、英文付録 3 章から構成される。第 1 章では、将来の低電力化技術の必要性・重要性を概観し、本研究の目的が革新的な低消費電力化技術である断熱論理回路の設計最適化・設計自動化技術の確立にあると述べている。第 2 章では、断熱論理回路の概念と低電力性能の本質を説明するとともに、本論文で取り扱う Two-Level Adiabatic Logic(2LAL) の回路構成と設計フローを説明し、第 3 章以降の議論に対する重要な基礎を与えている。併せて、2LAL に特有のエネルギー回生のための「消去計算」、計算同期化、計算パイプライン化に伴う膨大なバッファ数が回路設計の大きな課題となることを説明し、バッファ数削減が回路規模削減と低電力化のために喫緊の課題であると結論づけている。

第 3 章では、バッファ数削減のための「早期消去計算」技術について説明し、その果を最大化する早期消去計算適用箇所選択問題を早期消去計算とそれに付随する「再計算」についてのスケジューリング問題として定式化し、整数線形計画(ILP)の枠組みにて最適解を求める設計手法(手法 1)を提案している。代表的なベンチマーク回路を用いた設計実験では、従来のバッファ数削減手法と比較して平均 27.4%の回路規模削減が達成されたが、一方で特に大規模な回路に対して求解に至らない例もあると述べている。

第 4 章では、大規模な回路に対する求解を目指し、早期消去計算適用箇所の一つの制約を導入することで、同問題をグラフの「安定集合問題」に帰着させて解く手法(手法 2)を提案している。先のベンチマーク回路への適用実験では、全ての対象回路に対して求解に成功し、従来手法と比較して平均 16.8%の回路規模削減が達成できたと述べている。続く第 5 章では、更なるバッファ数削減を目指し、早期消去計算、再計算に加えて元々の論理計算、消去計算までをスケジューリングの対象として同時最適化するための定式化を行い、ILP の枠組みにて求解する手法(手法 3)を提案している。ベンチマーク回路を使った設計実験では、手法 1 で解が求まった回路に対して、従来手法と比較して平均 39.9%の回路規模削減、手法 1 と比較して平均 20.4%の回路規模削減が達成されたと述べている。

第 6 章では、実際の MOS 回路技術の下での電力削減効果を検証するため、エネルギー消費の理論解析と代表的回路シミュレータである SPICE による数値シミュレーションを行い、回路規模削減と電力削減の関係を明らかにしている。最後に 第 7 章では、本研究での成果と学術面・産業面での貢献をまとめるとともに、今後の課題、発展の方向性、展望について述べている。

付録 A では、本研究にて比較対象とした先行研究におけるバッファ削減アルゴリズムの使用に関する正当性検証、付録 B では、本研究にて利用したオープンソースの ILP (MILP) ソルバーの妥当性検証を行っており、本論文中にて提示した実験結果・性能比較の正当性を裏付けるものとなっている。付録 C では、断熱論理回路システム全体を構成する電源回路部について、論理回路部へのエネルギー供給とそこからのエネルギー回生を可能にする LC 共振型の台形波電圧生成回路を提案し、性能評価を行っている。

以上、本論文は、将来の極低電力集積回路の有力な候補である断熱論理回路の回路規模最小化を目的とした設計自動化手法を提案したものであり、学術的に貢献するところが大きい。よって博士(情報科学)の学位論文として十分価値あるものと認めた。