

Title	反応性スパッタ法によるエピタキシャル YSZ / Si 界面における SiO _x 層形成の抑制
Author(s)	国谷, 卓司
Citation	
Issue Date	2000-03
Type	Thesis or Dissertation
Text version	none
URL	http://hdl.handle.net/10119/2677
Rights	
Description	Supervisor:堀 秀信, 材料科学研究科, 修士

反応性スパッタ法によるエピタキシャル YSZ/Si 界面における SiO_x 層形成の抑制

国谷 卓司 (堀田研究室)

はじめに 酸化物絶縁体 YSZ $[(\text{ZrO}_2)_{1-x}(\text{Y}_2\text{O}_3)_x]$ は、格子定数が Si のそれに近く、(100)Si 基板上にヘテロエピタキシャル成長が可能であり、またバルクで約 30 と高い比誘電率を持つことから、Si 基板と強誘電体薄膜とを接合するためのバッファ層への応用が期待されている。本研究室では、今まで反応性スパッタ法を用いて、YSZ 薄膜を Si 基板上にヘテロエピタキシャル成長させることに成功しているが、YSZ/Si 界面に低誘電率の SiO_x 層が約 2.4nm ほど形成するため、10nm 堆積時の膜の実効比誘電率が約 9 に減少するという問題がある。そこで本研究では、YSZ/Si 界面の SiO_x 層の形成を抑制し、良好な結晶性で実効比誘電率が 20 以上、リーク電流が SiO_2 程度のデバイスレベルで使用可能な YSZ 薄膜の作製を目的としている。

作製方法 【プロセス 1】 (100) Si 基板表面に極薄の熱酸化膜を形成し、その上にスパッタ法により Zr+Y を堆積して、YSZ 初期層を形成した。その後、Zr+Y 合金膜 (0.16nm) を堆積後、チェンバー内に酸素を導入し、YSZ 薄膜を 10nm 堆積した。

【プロセス 2】 熱酸化膜を形成した後、チェンバー内に酸素を導入し、金属モードにより YSZ 薄膜を 10nm 堆積した。

実験結果 図 1 に、YSZ 初期層を形成した後、合金膜の厚さを変えて、YSZ 薄膜を堆積した試料の C-V 曲線を示す。図中の数字は、合金膜厚であり、合金膜の堆積温度は 600°C である。図より、合金膜を厚くすることで、蓄積時の電気容量が増加していることがわかる。これは、堆積中に膜を透過して来る酸素が合金膜と反応することで、界面の SiO_x 層の形成が抑制されたためと考えられる。図 2 に、金属モードで Si 基板上に YSZ 薄膜を堆積した試料のアニール前後の C-V 曲線を示す。アニールは、Al 上部電極作製後に窒素雰囲気中 300°C 、30 分で行った。図より、金属モードで堆積した膜の実効比誘電率は、約 20 と従来の 2 倍になっており、界面の SiO_x 層の形成が抑制されていることがわかる。また、アニール前のものには、ヒステリシスと -1V 付近に歪みが観測されるが、アニールを施すことで比誘電率が減少することなく C-V 曲線が改善することがわかる。これは、アニールにより界面の欠陥が低減したためと考えられる。

まとめ 金属モードを用いることにより、界面の SiO_2 層の形成を抑制できることがわかった。

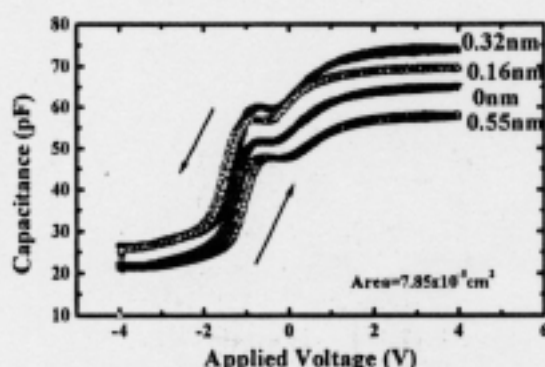


図1 合金膜厚変化におけるC-V曲線

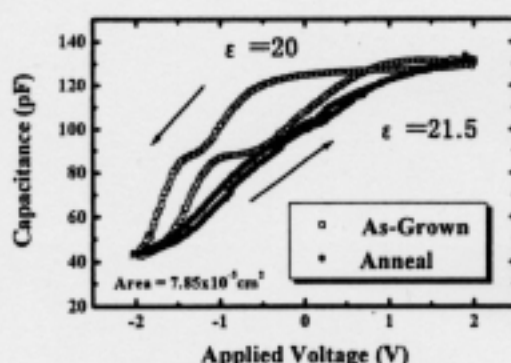


図2 アニール前後のC-V曲線

Keyword

スパッタ法, YSZ, ヘテロエピタキシャル, 金属モード, アニール