

Title	消費電力削減に適したキャッシュブロック圧縮アルゴリズムに関する研究
Author(s)	川原, 貴裕
Citation	
Issue Date	2007-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/3606
Rights	
Description	Supervisor:田中 清史, 情報科学研究科, 修士

消費電力削減に適したキャッシュブロック圧縮アルゴリズムに関する研究

川原 貴裕 (510026)

北陸先端科学技術大学院大学 情報科学研究科

2007 年 2 月 8 日

キーワード: 電力削減, キャッシュメモリ, データ圧縮 .

1 はじめに

近年, プロセッサの消費電力の増大が原因で, モバイルコンピュータのバッテリー駆動時間が短くなったり, 高性能プロセッサの放熱が急増している. 特に, トランジスタの微細化に伴いリーク電流が増大している. リーク電流とは, トランジスタがオフでも電流が持続的に流れる現象である. キャッシュメモリが増加傾向にある高性能プロセッサは, リーク電流の増大が問題となっている. プロセッサの消費電力を削減することが重要となり, プロセッサに対する様々な低消費電力化の研究が行われている. 本研究では, L2 キャッシュメモリの電力削減法の一つであるデータ圧縮を用いた Gated-Vdd による消費電力削減法 [1] の性能向上を目指す. そのため, キャッシュブロックに格納されるデータの圧縮に対して有効な圧縮アルゴリズムを検討する. また, ブロックの圧縮サイズの傾向に合わせ, 電源制御の粒度を改善する. それによって多くのブロックに対する圧縮を成功させ, 効率よく電力削減を行う.

2 関連研究

2.1 Gated-Vdd[2]

キャッシュブロックの電源制御を行う手法として, Gated-Vdd がある. キャッシュメモリに用いられる SRAM セルと GND との間に, 閾値の高い Gated-Vdd トランジスタを置く. このトランジスタをオフにすることで電源供給を断ち, リーク電流を削減する.

2.2 データ圧縮を用いた Gated-Vdd による電力削減法 [1]

この研究の方式はまず、L2 キャッシュメモリに格納されるブロックのデータに対して圧縮を試みる。ブロックサイズの $1/2$ 以下にデータが圧縮できた場合には、圧縮した形でキャッシュにデータを格納する。圧縮により空いた領域に対して Gated-Vdd を用い、電力供給をオフにすることで、消費電力を削減する。データを圧縮して格納することで、キャッシュブロックの電力をオフにすることによるデータの損失を回避できる。

3 データ圧縮によるキャッシュメモリの低消費電力化

本研究では、データ圧縮を用いた Gated-Vdd による電力削減法において、圧縮アルゴリズムの観点から電力削減率の向上を目指す。まず、様々な圧縮アルゴリズムを用いてキャッシュブロックのデータを圧縮する。それによって、キャッシュブロックのデータの圧縮に最適な圧縮アルゴリズムを見つける。ここで、本研究で評価対象として用いる各圧縮アルゴリズムを説明する。

従来研究で用いられている Frequent pattern compression[3] は、データのビットパターンを考慮した規則を用いてデータを圧縮する。Frequent value compression[4] は、そのプログラム中で頻繁に使われる値 (FV) を用いてデータの圧縮を行う。X-Match アルゴリズム [5] は、過去に参照されたデータとの差分を用いてデータ圧縮をする。X-RL アルゴリズムは X-Match アルゴリズムに Run Length の概念を取り入れたアルゴリズムである。

圧縮アルゴリズム以外に圧縮の粒度についても考察する。ここで、実際に Frequent pattern compression を用いて圧縮を行った場合の圧縮サイズ分布図をみせる。それによって、データ圧縮の粒度を従来の $1/2$ から $1/4$ 単位にすることが有効であることを示す。さらに、 $1/4$ 単位での電源制御を行うために必要なハードウェア構成を提案する。

4 評価

シミュレーションの結果を評価する。評価対象プログラムには、SPECint95 ベンチマーク [6] を用いた。ベンチマークプログラムごとに各圧縮アルゴリズムを用いた際の電力削減率、圧縮サイズ別のブロック数、実行クロックサイクルを示した。実験の結果、X-RL アルゴリズムが非圧縮実行時と比べて平均で約 30% 電力を削減した。実行クロックサイクルの増加は 2% 以内に抑えられているため、実行速度への影響は少ない。

5 まとめ

データ圧縮を用いた Gated-Vdd による電力削減法の性能を向上させるため、キャッシュブロックの圧縮率を向上させる。始めに、Frequent pattern compression を用いた場合の L2 キャッシュに格納されるデータの圧縮サイズの分布に着目した。それに基づき、データ

を圧縮する場合に、 $1/2$ のサイズのみの制御から、 $1/4 \cdot 1/2 \cdot 3/4$ の三段階での制御にした。そして、それに対応したハードウェア構成を提案した。SPECint95 ベンチマークを対象に、複数のデータ圧縮アルゴリズムを用いて電力削減率の評価を行った。

参考文献

- [1] 松田愛子. ‘データ圧縮を用いたキャッシュメモリの消費電力削減に関する研究’, 北陸先端科学技術大学院大学修士論文 2006.
- [2] M.Powell, S.Yang, B.Falsafi, K.Roy, T.N.Vijaykumar. ‘Gated-Vdd:A Circuit Technique to Reduce Liakage in Deep-Submicron Cache Memories’, Proc. of ISLPED, pp. 90–95, 2000.
- [3] A.T.Alameldeen and D.A.Wood. ‘Frequent Pattern Compression:A Significance-Based Compression Scheme for L2 Caches’, Technical Report 1500, Computer Sciences Dept., UW-Madison, April 2004.
- [4] J.Yang, R.Gupta. ‘Energy Efficient Frequent Value Data Cache Design’, Proc. of MICRO-35, pp. 197–207, 2002.
- [5] M.kjelso, M.Gooch, S.Jones. ‘Design and Performance of a Main Memory Hardware Data Compressor’, Rroc. of EuroMicro, PP.423–430, 1996.
- [6] Standard Performance Evaluation Corporation. ‘SPEC CINT95 Benchmarks’, <http://www.spec.org/cpu95/CINT95/>.