

Title	ウェーブパイプラインプロセッサに適した論理合成アルゴリズムの研究
Author(s)	森田, 智祥
Citation	
Issue Date	2008-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/4357
Rights	
Description	Supervisor: 日比野 靖, 情報科学, 修士

ウェーブパイプラインプロセッサに適した 論理合成アルゴリズムの研究

森田 智祥 (610087)

北陸先端科学技術大学院大学 情報科学研究科

2008 年 2 月 7 日

キーワード: ウェーブパイプライン, 遅延差, 論理合成, 論理段数調整.

1 はじめに

現在、プロセッサの構成が単一構成から複数構成へと移行しつつある。これは、最大遅延時間によって動作周波数が決定する現在のパイプラインプロセッサの動作原理では、クロックサイクルの短縮のためのパイプラインステージの分割が限界に近づき、シングルプロセッサの処理速度向上が望めなくなっているためである。これに対して、最大遅延と最小遅延の差でクロックサイクル時間が決定するウェーブパイプラインという動作原理がある。この動作原理を適用することによって、シングルプロセッサの更なる動作速度向上が期待できる。しかし、現時点ではウェーブパイプラインプロセッサの設計に適した CAD が存在しないため、設計が難しいという問題がある。

ウェーブパイプライン動作を実現する上で最も重要となるのは、最大遅延と最小遅延の遅延差の短縮である。本研究では、論理回路の各入力に対する論理段数を揃える論理合成アルゴリズムを提案する。そして、提案手法を組み込んだシステムを作製しその有用性を示す。

2 ウェーブパイプライン

パイプライン処理とは、複数の命令を少しずつずらして時間的に重複させて並行的に実行する処理方式である。今日では、パイプライン処理はプロセッサにおける一般的な技術となっている。通常のパイプラインはクロックに同期して処理を行っている。通常のパイプラインでは 1 クロックの長さは最も処理時間の長いステージに合わせて設計される。よって、通常のパイプラインでは最大遅延が動作クロック周波数を決定することになる。

ウェーブパイプラインでは、遅延差によって動作クロック周波数が決定される。よって、最大遅延時間よりも遅延差が小さければウェーブパイプライン動作の方が動作クロック周

波数を高く設定できることになる。しかし、通常のパイプラインを前提とした CAD は、最大遅延のみを考慮しているため、遅延差を考慮しなければならないウェーブパイプラインの設計には不向きである。したがって、ウェーブパイプラインを適用するには専用の CAD の開発が必要不可欠なのである。

3 MOSFET の動作原理と CMOS の遅延特性

現在のマイクロプロセッサは CMOS 技術によって成り立っている。CMOS とは、PMOS と NMOS によって構成される相補型のデバイスのことである。

MOS トランジスタは、電界効果トランジスタ (Field Effect Transistor:FET) の一種であり、電流通路の導電率を第 3 電極によって静電的に変化させ、電流を制御しようとする半導体素子である。MOS トランジスタの基本的な動作原理は、ゲート電極上の電荷の作用によってソース・ドレイン間のチャンネルを流れる負電荷の量とその流れを制御することにある。PMOS トランジスタは正孔がキャリアとして動作するトランジスタであり、NMOS は電子がキャリアとして動作するトランジスタである。よって、PMOS トランジスタはゲート電圧が high のときに遮断状態となり、low のとき導通状態となる。NMOS トランジスタは電子がキャリアなので、正孔がキャリアである PMOS とは逆の働きをする。また PMOS と NMOS はキャリアが異なるのでキャリアの移動度も異なってくる。よって、PMOS と NMOS とではオン抵抗が異なるが、ゲート長 L 、ゲート幅 W 、酸化膜の厚さ D を調節することにより、PMOS と NMOS のオン抵抗を合わせることができる。

4 従来の遅延差短縮アルゴリズム

従来の遅延差短縮を実現する手法としては、池田によって考案された遅延バッファを挿入するアルゴリズムによって、最小遅延を最大遅延に近づけるという手法を用いている。この手法によって、ウェーブ化によって、通常のパイプラインの動作クロック周波数の 4 倍の周波数で動作させることが可能となる。しかし、回路面積が約 2.8 倍増加しており、性能向上が面積増加のコストに見合っていない。

5 遅延差短縮のための論理合成法

本研究で提案する論理合成アルゴリズムは以下の手順によって処理を行う。まず、クワイン・マクラスキー法による論理式の最適化を行う。この最適化された論理式を入力として、NAND 表現へ回路を変換し、論理素子の入力制限により論理を多段化する。この後で、各出力に対する論理回路の論理段数を、最も多段な回路に合わせる。

6 提案手法の実装とその評価

提案手法の実装方法と評価用セルモデルによる評価を行う。評価に際しては、論理素子の最大遅延と最小遅延がほぼ等しい、理想的なセルモデルと現実的な論理素子の遅延差を想定したセルモデルを設計した。理想的なセルモデルでは、提案手法が効果的に作用していることを示した。現実的なセルモデルによる評価においても、冗長な論理素子を最適な素子に置き換えることによって、ウェーブ化により3倍程度の動作クロック周波数の向上が見込めるという結果となった。論理回路の面積増加は、論理素子の最適化によって約1.7倍の増加に抑えられることを示した。

7 おわりに

提案手法の評価においては、多段論理に対して回路面積1.7倍で3倍の動作クロック周波数の向上が見込めるという結果であった。論理段数を揃えることによって、従来手法よりも回路面積の増加を抑えられたと考えることができる。この結果から、論理段数を揃える論理合成アルゴリズムは、遅延差を揃え面積の増加も抑えることができると言える。よって、提案手法は有用であると考えられる。

今後の課題としては、論理回路を構成する上での最適な論理素子の選定が挙げられる。また、本研究の結果から、論理段数を揃えても論理素子自体の遅延によって遅延差の短縮に限界が生じることが示された。このことから、論理素子自体の遅延差を最小に抑えるセルモデルの設計も非常に重要であると考えられる。以上の様なことをさらに考慮することによって、本提案手法を用いてさらに遅延差を短縮することが可能であると考えられる。