

Title	LSIの配線設計の課題と設計自動化ツール開発の重要性の考察(国際競争力・産業競争力 (2))
Author(s)	野村, 稔
Citation	年次学術大会講演要旨集, 21: 1184-1187
Issue Date	2006-10-21
Type	Conference Paper
Text version	publisher
URL	http://hdl.handle.net/10119/6571
Rights	本著作物は研究・技術計画学会の許可のもとに掲載するものです。This material is posted here with permission of the Japan Society for Science Policy and Research Management.
Description	一般論文

2H20 LSIの配線設計の課題と設計自動化ツール開発の重要性の考察

○野村 稔 (文科省・科学技術政策研)

1. はじめに

集積度向上、微細化の進展によって、LSI(大規模集積回路)の性能向上には著しいものがある。その一方で、「配線問題」がクローズアップされて来た。LSIの設計・製造において、配線が主要な制約要因となりつつあるという問題である。以下では、シリコンCMOSロジックLSIを対象とし、「配線問題」とは何か、配線問題に関わる製造技術と設計技術の研究開発、それらの現状と課題、そして今後の対策を考察する。

2. 配線問題とは

LSIの回路素子、ゲート、マクロ(以下、総称して回路部品と呼ぶ)間を相互接続するものが配線である。「配線問題」とは、設計および製造を通して、この配線をいかに最適に実現するかという問題である。図1にLSIの開発工程とその中の「配線問題」の位置づけを示す。

2.1 配線構造

配線層は、水平、垂直層を交互に積層した多層配線構造をとっており、トランジスタや抵抗間をつなぐ短い配線はMetal1層、クロック信号のようにLSI全体に配られるGlobal信号配線はGlobal層、電源やグランド供給の配線は最上層、それ以外はIntermediate層を用いるなど、各配線層の使い分けが行われている。微細化の進展により最近のLSIでは配線本数は数千万本にも達しており、配線層数の増加により製造工程における配線工程の割合が大きくなってきている。

2.2 信号伝搬遅延時間

配線は抵抗と容量を持ち、これらを配線抵抗と配線容量という(隣接配線間の寄生容量もこの配線容量に含めて考える)。伝播遅延時間は、容量と抵抗の積に比例するため、配線抵抗と配線容量が大きくなると配線は伝搬遅延時間を大きくしてしまう。

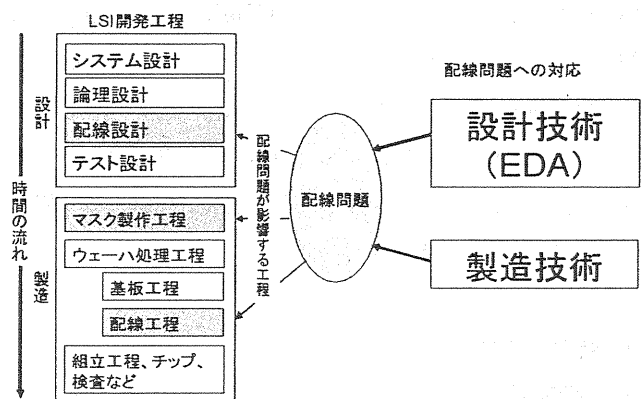
図2は微細化、高性能化での配線遅延の影響を例示している。ゲート遅延とMetal1の配線遅延は微細化に伴って減少するが、Global配線の遅延時間は増加している。テクノロジーノードが250nm以降の世代からは、ゲート遅延より配線遅延がLSIの動作速度を律速する主要因として顕在化してきている。高速化のためには配線遅延の最小化が必須である¹⁾。

めには配線遅延の最小化が必須である¹⁾。

2.3 クロック分配とクロックスキュー問題

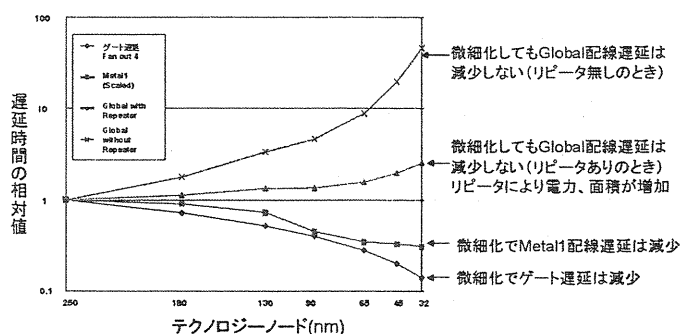
現在のLSI設計においては、同期式回路が主流を占めており、この同期回路においては、回路中の数万~数十万ビットといったフリップフロップ全てにクロック信号が同時に到達する様に供給される必要がある(クロック分配)。しかし、現実には、配線遅延時間の差がクロックスキューと呼ばれる到達時間のばらつきを生む。クロックスキューは、クロック周期の短縮の妨げとなるばかりでなく、その大きさによっては回路の誤動作の原因となる。

図1 LSI開発工程と「配線問題」



(科学技術動向研究センターで作成)

図2 微細化による配線遅延



(ITRS 2003 資料を基に科学技術動向研究センターで編集)

2.4 配線に起因するその他の問題

隣接配線間でのクロストークノイズの発生、配線による消費電力の増大、高密度電流による断線現象であるエレクトロマイグレーションの発生などがあり微細化に伴い更に問題が増加している。

3. 配線の製造技術に関する研究開発

配線工程の製造技術は、プロセス、製造装置、製造ラインにまたがる技術であるが、ここでは性能に関わるプロセスにおける配線材料・構造と配線技術の研究開発を述べる。

(1) 材料・構造の研究開発

配線工程の配線層形成、絶縁層形成、層間接続構造形成などのプロセスの各分野においては、材料・構造面の各種の研究開発が行われている。具体的には、配線抵抗が小さい材質(Cu)への変更や、配線容量を低く抑えられる低誘電率(low-k)材料の開発、ビア(配線層間をつなぐ金属配線)形成方法の研究開発などが主体である。

(2) 今後の配線技術

配線技術の研究開発では、オンチップの伝送線路配線、三次元積層、オンチップ光配線など、高速伝送のために電磁皮や光を活用した技術が提案されている。

また、配線に関する研究開発体制の動きとしては、米国のMicroelectronics Advanced Research Corporation (MARCO)が米国の大学での半導体研究に資金を出し、Focus Center Research Program (FCRP)という研究開発計画を進めている。この中にInterconnect Focus Center (IFC)があり、電気や光配線などの先端研究が行われている⁴。また、企業コンソーシアムであるSEMATECHでも三次元配線に関する研究を計画している⁵。

我が国では、次世代半導体材料・プロセス基盤(MIRAI)プロジェクトでの第3期(2006-2010年度)の研究内容としてNSI (Nano Silicon Integration)リサーチ・ユニットでの研究開発項目として、「新探索配線技術開発」(カーボン配線、光配線)が採り上げられている。

4. 配線の設計技術に関する研究開発

「設計技術」は、アーキテクチャ、回路など設計そのものと、それを支援する設計手法からなっているが、ここでは、設計自動化(EDA: Electronic Design Automation)ツールを基盤とした設計手法に支援されるLSI設計技術に焦点をあてる。

配線設計の役割の第一は、指定された大きさのLSI内に回路部品を配置し、回路部品間に要求された配線を誤りなく収容することである。それと共に、所望の性能を得るためのタイミング設計、

各種検証などの処理が必要になっている。

(1) タイミング問題への対応

タイミングの設計は近年のLSI開発における最大の難問である。その設計の難しさは遅延制約の遵守にある。遅延制約とは、全てのフリップフロップへの同時クロック分配、信号伝搬における許容時間制限などである。この対応としては、クロック信号の分配方式、クロックスキューの最大値を最小化する自動配置配線、タイミング制約違反箇所へのバッファ回路挿入や配線幅調整、タイミング検証ツールなどがある。

(2) 設計の検証

検証の代表的なものに、DRC(Design Rule Check)があり、これまで設計と製造間のコミュニケーション手段としての役割を果たしてきた。Design Ruleとは、回路素子の各部分の平面的な寸法や隣接する部分との間隔、さらに回路素子間の立体的な相互の位置関係などを決めた基本的な規則であり、微細化された回路素子や配線をLSI上に実現し、安定的に量産するために必須となる基準である。しかし、製造での歩留まり問題を解決するにはこれでは十分でなくなっている。その他、タイミング検証、クロストークノイズ解析ツールや、最近重要性が増してきている伝送線路解析、消費電力解析、電磁界解析、熱解析などがある。

(3) 配線設計におけるEDAツールの研究動向

配線設計用EDAツール開発は1980年代に活況を呈したが、1990年代は下火になった。しかし、1990年代終わりからは、微細化に伴う配線設計の複雑化により、配線設計用EDAツール開発が再び脚光を浴びるようになった。2005年6月の第42回設計自動化会議(DAC: Design Automation Conference)では、配線設計関係での論文数が全体の約35%を占めている。

5. 設計技術の状況変化と課題

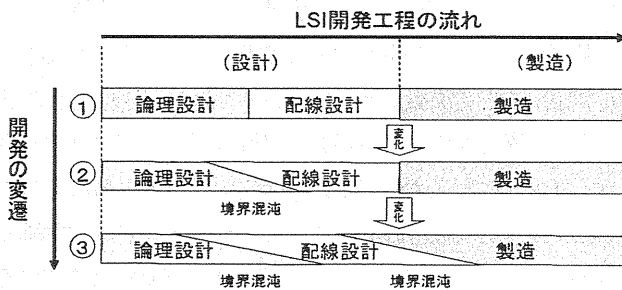
「配線問題」の解決には、製造技術と設計技術が共に優位性を持つことが必要である。製造技術を支える材料・構造や配線技術は、日本の大学および企業でも高度な研究が進められており、世界的に認知度も高く優位性は高いと言える。一方の設計技術は、EDAツールに依存しており、EDAツールでは圧倒的に米国が優位にある。「配線問題」の解決に向けては、製造と設計技術のバランスある発展が必要になるため、EDAツール依存の「設計技術」の弱体化が問題となる。以下では「設計技術」面における状況の変化と課題を述べる。

5.1 設計技術の状況変化

従来、LSIの開発工程は設計工程と製造工程に大別され、更

に設計工程は論理設計と配線設計に分かれていた。そして、それらの間のインターフェースも固定していたため各工程内で作業を完結することができた。ところが近年、微細化の進展により設計に大きな変化が起こっている。配線の遅延時間の影響が無視できなくなり、配線設計後に論理設計へ手戻りが発生するなど、従来の固定したインターフェースが崩れ、論理設計と配線設計を一体のものとして考える必要が出てきた。さらに、微細化の進展により製造歩留まり低下の問題を解決するために、設計工程の中で製造性を考慮した設計(設計と製造の融合)が必要となってきた。図3は、LSI 開発工程の中での配線設計の位置づけと、微細化の進展による開発の変遷を示している。

図3 微細化の進展による開発の変遷



注:ここでは説明上、システム、テスト設計をはずした

(科学技術動向研究センターで作成)

(1) 論理設計と配線設計の分離の時代(図3の①)

設計部門での工程は、論理の正当性を確認した後、配線設計を行っていた。論理設計と配線設計とは分離していたと言える。

(2) 論理設計と配線設計の融合(不分離)の時代(図3の②)

配線遅延がゲート遅延に比べて支配的になると、配線した結果を基に論理設計内容を変更する方法が採られるようになった。

(3) 設計と製造の融合(不分離)の時代(図3の③)

微細化が更に進むと製造上での露光装置の限界から新たな問題が発生し歩留まりを大きく低下させるようになってきた。そのため設計段階で歩留まりを向上させるべく配線設計を行う必要が生じ設計と製造の融合(不分離)の時代が始まった。

5.2 設計と製造との境界の変化

設計と製造の融合(不分離)の状態を説明する端的な例として、ウェーハの露光時のパターン解像度を高めるために、設計の段階でフォトマスクにあらかじめ細工をしておく「位相シフトマスクや OPC マスク」などの対策が挙げられる。このように、製造の歩留まりを向上するために、配線幅やビア個数などの設計ルールが制約を受けるという設計まで遡った製造技術向上策の必要性

が強くなっている。

5.3 設計を意識した製造技術の研究の必要性

配線関係の主要な学会である IEEE International Interconnect Technology Conference(IITC)での多層配線技術の研究論文状況をみると、欧米では、設計技術を中心に多面的に多層配線技術を捉える研究開発が進んでいる。これに比較して我が国のこの視点での研究は少ない。¹ 製造技術は、設計技術との依存性を高めることで、より高度な要求に応えられる技術へ進化する。設計との境界の変化を理解した取り組みが必要である。

5.4 米国の市販 EDA ツールの支配

「設計技術」は、EDA ツールの開発とその使用上での問題解決活動の繰り返りで進展する。しかし、我が国では、企業は、一部を除き配線設計の EDA ツールの研究開発をほぼや行っていない。理由は、研究開発に要求される人的パワーが巨大化し、対応ができなくなったからである。企業での開発がなくなることもあって、大学での研究も極めて少なくなった。しかし、市販 EDA ツールに依存する場合でも、単に購入すれば設計ができるほど容易ではなく、設計対象への整合、企業内での設計文化を生かした選択が必要になる。かつて EDA ツールを開発してきた人材が、現在は、市販 EDA ツール選択時の目利きや EDA を教える役割を担っているが、そうした人材さえも減少しており風前の灯の状態となっている。

5.5 ノウハウの保護について

EDA ツールの実際の使用面では、様々な使用上のノウハウが要求される。いかなる優れた EDA ツールであっても未完成であり、この機能不足を補うものがノウハウである。EDA ツールに対する EDA ベンダーへの問題提起、機能追加要求は EDA ツールを育成するが、その育成された EDA ツールは世界に流通されることになる。この様な形で、無意識のうちにノウハウが流出してしまう。特に製造関係のノウハウには機密事項が多く、設計と製造の融合では一層の法的保護が必要となる。

6. 今後の対策

「配線問題」の解決に向けては、「製造技術」と「設計技術」のバランスある発展が必要になる。先端技術の開発には、まさに「すりあわせ」の技術開発が必要な段階になってきている。これは世界的な課題であり、ファブレスとファンドリ・ビジネスという分業体

制では特に大きな課題になっている。EDA ツールの進歩は目覚ましいが、この様な設計の複雑化のスピードには追いついてはいない。そのため今こそ、我が国の「製造技術」の強さを生かした「設計技術」を生み出せるチャンスであるとも言える。

以下では将来の配線問題に備えた「設計技術」の強化に向けた推進策を考察する。

6.1 配線設計の強化に向けて :核となる EDA ツールの開発

「タイミング問題」と「設計と製造との融合」領域は、本来は、我が国の強さを発揮できる領域である。核となる機能部分を自製 EDA ツールによって開発できれば、EDA ツールはもとより、開発される LSI の優位性につなげることができる。また我が国が弱いと言われているデジタル情報家電、自動車、そしてロボットなどの製品において、その実現の鍵となる「アナログ RF (Radio Frequency) 混載設計」の領域は、EDA ツールが未だ不十分の状態である。こうした部分へのいち早い注力により LSI 製品の優位性も確保できるだろう。自製 EDA ツール開発を通し設計ノウハウと技術力の蓄積、継承、そして保護を行うべきである。以下に具体的推進方法を述べる。

(1) 「製造技術」を活かす先行的な設計手法と EDA 開発

配線技術研究の新しい動きを前記したが、こうした最先端の研究開発を遅滞なく進めるためには、新しい設計手法と EDA ツールのタイムリーな先行開発を進めるべきである。また製品優位性を確保できる領域を見極め、それに向けて先行した EDA ツールの研究開発が有効である。

(2) 異研究領域のコラボレーション

EDA ツールの開発にあたっては、設計と製造の知識、微細化の進展で接近しつつある物理限界への対応としての物理法則や原理などの基本的な知識などが求められる。専門化が進んだ現状では、これをすべて一個人に求めるのは難しい。そのため、異研究領域のコラボレーションが重要になる。設計・製造の研究者・技術者、そして製造装置メーカーも含めた連携と情報共有も必要である。製造装置メーカーからの課題解決提案を、EDA ツールへ反映できれば、大きな発展が望めるだろう。微細化は既にナノの領域に突入しており、シリコンとナノテクノロジーの研究者によるコラボレーションも必要になる。

(3) 開発推進に向けた体制作り

企業での実際の設計・製造現場での意見を反映するために開発の推進体制は企業主体のコンソーシアム形式にならざるを得ないだろう。大学の研究者には、このようなコンソーシアムへ積極的に参画し、科学的知見と理論面からの貢献を期待したい。

6.2 「製造技術」と「設計技術」のバランスある先端化

(1) 積極的な知財活動の推進

「設計と製造の融合」という領域では、製造で生じる欠陥(ゴミによる欠陥、プロセス欠陥、リソグラフィ欠陥、ランダム欠陥など)を、設計のどの段階(論理設計、配線設計など)で盛り込むかによって、解決法に複数の組み合わせが考えられる。この解決法は、歩留まりに直接影響するため、ビジネスに直結する知財価値の高いものと認識すべきである。ここでは、特許か、企業秘密かを区分けした知財方針の選択が重要である。

また市販 EDA ツールを活用する場合も使用上のノウハウの価値を意識し、これを積極的に保護すべきである。

(2) ターゲットの明確化

「製造技術」と「設計技術」の先端化に向けては、既に様々な研究が行われているが、それらの力は、結集することではじめて革新的な技術が実現される。そのためにはターゲットの明確化が必要である。高速化への対応として、今後のスーパーコンピュータで用いられる高速 CPU をターゲットにした「製造技術」と「設計技術」を開発していくことは、Pre-Competitive な研究領域におけるベクトル合わせという意味でひとつの候補と考えられる。

また、アナログ RF 混載設計領域をターゲットにした「製造技術」と「設計技術」を開発していくこともベクトル合わせの候補になりうる。ここでは、厳しい電力制限のもとでの高性能化の追及を特徴としており、極めて高度な技術が要求される。

7. おわりに

以上、LSI の「配線問題」を取り上げ、配線問題の改善に大きく影響する配線設計の課題を明確化し、将来の配線問題に備えた設計技術の強化の必要性とその推進策を考察した。EDA ツールにはノウハウが集約されるため、その技術開発は重要であり、LSI 開発力の強化に向けての必須な研究開発課題である。

¹ H15年度特許出願技術動向調査報告書 LSIの多層配線技術(特許庁平成16年3月)

² International Technology Roadmap For Semiconductors 2003 Edition Interconnect

³ LSI 配線の解析と合成 ディープサブミクロン世代の LSI 設計技術(C. チェン他、小野寺秀俊監訳 培風館)

⁴ <http://fcip.src.org/member/centers/int/about.asp>

⁵ SEMATECH's Idea-to-Market Strategy(A. Oscilowski The Second Annual IP Innovation Symposium 2005)