

Title	Cellプロセッサ用プログラム検証法
Author(s)	レ, ディンスアン
Citation	
Issue Date	2009-03
Type	Thesis or Dissertation
Text version	author
URL	<a href="http://hdl.handle.net/10119/8163">http://hdl.handle.net/10119/8163</a>
Rights	
Description	Supervisor:青木利晃, 情報科学研究科, 修士

## 概要

最近，複数のコアから構成されたマルチコア・プロセッサの開発の発展により，ハイパフォーマンス計算の技術がPCと家族電気商品の世界までにも普及している．代表的にCellプロセッサにより，普通のプログラマでもマルチコア上のソフトウェア開発ができ，普通の人でもCellプロセッサが入っているPlayStation3でハイパフォーマンスのゲームなどを体験できる．しかし，ハイパフォーマンスのために，Cellプロセッサは複雑なアーキテクチャを持ち，プログラマはそのアーキテクチャの全ての特徴に気を付けながら多くの手動最適化手段を適用してプログラムを作成する必要がある．結局，Cellプロセッサ用プログラムに対して振舞いの正しさの検証とパフォーマンスの解析・視覚化の作業は極めて複雑になり，従来の手法いわゆるテストング，デバッグ，シミュレーションなどは効果がなくなる．解決策として，本研究はモデル検査技術を用い，プログラムの正確さとパフォーマンスの両方が検証できる枠組みを提案する．

Cellプロセッサ用のプログラムの正確さとパフォーマンスを有効に検証する要求は本研究の動機になった．Cell/B.E.アーキテクチャには2つの並列化階層，つまりSPE||SPE||PPEのコア間階層とSPU||MFCのコア内階層があり，それぞれの階層に対して違うアルゴリズムと最適化技術がある．その中，本研究はまずコア内の並列化階層に着目し，SPUとMFCの両方の利用率を高めるための2重バッファリングという最適化アルゴリズムを考察しようとした．その考察内容は，Cell/B.E.アーキテクチャの上で実現した2重バッファリングのアルゴリズムの正確さとその有効性，つまり2重バッファリングによってどの程度パフォーマンスを向上できるかということである．そして，考察の手段はモデル検査によってSPU，MFCとその間の通信仕組みを基盤モデルとしてモデル化し，2重バッファリングのアルゴリズムを応用モデルとしてモデル化し，異なる設定の基盤モデルと異なるアルゴリズムの応用モデルを組み合わせることで正確さとパフォーマンスを検証することである．

Cell/B.E.アーキテクチャと2重バッファリングのアルゴリズムを提案した枠組みによってモデル化し，正確さとパフォーマンスの検証を行った．結果は，アルゴリズムの誤りの1つ，及びMFCの非決定性によるパフォーマンスの落下各パターンが検出できた．