

Title	プロセス代数に基づくシステムレベル設計アーキテクチャ
Author(s)	岩政, 幹人
Citation	
Issue Date	2009-12
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/8800
Rights	
Description	Supervisor: 日比野靖, 情報科学研究科, 博士

ESL(Electric System Level) 設計における上流工程からの設計自動化の目標の1つとして、システムレベルの仕様書からシステムを自動的に生成することが挙げられている。例えばUML(Unified Modeling Language) では要求分析から仕様書の策定までを行うための仕様記述形式を提供している。しかし、シーケンス図等による振る舞い仕様記述はシステムの動作の一側面しか規定しないのでシステム全体としての振る舞いそのものを記述できない等のギャップがあった。これらの課題に対して、動作の仕様記述としてメッセージシーケンス図(MSC:Message Sequence Chart) を採用して、MSC で記述された仕様書のみから、最終システムを合成してシステム設計を行う手法(eMSC システムと呼ぶ) が開発された。eMSC システムではMSC に階層性を導入し、下位のMSC(コマンド) で詳細なプロトコルを記述し、上位のMSC(シナリオ) にてシステムとしての振る舞いを記述する。シナリオ合成機能によりシナリオから、互いに連携しながら並列に動作する部分システムを状態遷移機械の集合として合成し、シナリオマージ機能にて複数のシナリオから全システム仕様を合成する。eMSC システムでは、シナリオ合成機能、シナリオマージ機能の実現に個別対応している部分があり、形式化が十分でなく、状態遷移機械同士の連携プロトコルの正しさが検証されていなかった。本論文では、プロセス代数に基づいたプロセスの並列結合法を導入し、シナリオ合成やシナリオマージを形式的に取り扱う手法を与え、実行順序制約の充足性を満たすという意味で正しい合成が保証されることを示す。