

Title	電界低減型スケーリング則を適用したトランジスタによる論理回路の性能向上に関する研究
Author(s)	福山, 陽平
Citation	
Issue Date	2010-03
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/8941
Rights	
Description	Supervisor:日比野 靖 教授, 情報科学研究科, 修士

電界低減型スケーリング則を適用した トランジスタによる論理回路の 性能向上に関する研究

福山 陽平 (0810055)

北陸先端科学技術大学院大学 情報科学研究科

2010年2月9日

キーワード：CMOS論理回路、スケーリング則、ゲート酸化膜、量子トンネル効果、
短チャネル効果

1 序論

LSI の性能向上は主に、比例縮小則（物理法則）と微細加工（テクノロジー）に支えられてきた。しかし、比例縮小によりゲート酸化膜厚は結晶格子間隔に近づき、量子トンネル効果によって酸化膜を透過して流れ出るゲートリーク電流が無視できなくなっており、トランジスタとして機能しなくなっている。ゲートリーク電流への対策として、ゲート酸化膜を薄くしなくても電界を一定に保てる高誘電率材料（**high-k** ゲート酸化膜）を用い、トランジスタのオン抵抗を一定に保ちながらゲートリーク電流を低減させている。しかし、新たな高誘電率材料の発見がない限り、電界一定の比例縮小則は限界に達している。

本論文では、集積回路の更なる高集積化、高速化、低消費電力化を実現するために、量子トンネル効果を抑える電界低減型スケーリング則を提案する。また、それを適用した論理回路をシミュレーション実験により評価し、有用性を示す。

2 電界低減型スケーリング則

トランジスタの構造が理想的であれば、CMOS論理回路の遅延時間は、ゲート容量とゲート・オン抵抗の積で決まるため、ゲート酸化膜厚には依存していない。したがって、ゲート酸化膜厚を固定しても、論理回路の性能向上を図れる可能性がある。そこで、ゲート酸化膜厚を一定に保ちながら、ゲート長、ゲート幅のゲート寸法と動作電圧を縮小する手法を電界低減型スケーリング則と称し、これを提案する。なお、ゲート長、ゲート幅のゲート寸法と動作電圧は、各々任意の縮小率で縮小する。

3 短チャネル効果の抑制策

短チャネル効果は、MOS トランジスタの閾値電圧を低下させる要因となる現象である。本提案手法では、ゲート酸化膜厚を一定としてゲート長を縮小することにより短チャネル効果が発生する。閾値電圧が低下するとゲート・オフリーク電流が増加するため、静的消費電力問題が発生する。この問題を解決するためには、閾値電圧を上げる必要がある。

一方、閾値電圧は、ゲート・オフリーク電流問題だけを考慮して決められる値ではない。それは、スケーリング則を遵守するための電源電圧縮小問題や、ゲート・オン電流値低下によるゲート・オン抵抗値の増加、つまり遅延時間の増大問題があるからである。

これらの問題を解決すべく、チャネルドーピング濃度を適切に与えることによって閾値電圧を調整する方法を適用し、短チャネル効果を抑制しながら性能向上を図ることとした。

4 シミュレーション実験

回路動作シミュレーションツールとして SPICE OPUS を使用した。MOSFET デバイスに採用したモデルは、BSIM4 MOSFET device ver4.0 レベル 54 エンハンスメント型である。

本研究では、このモデルのデバイスパラメータを基準値に設定した。また、基準値に対して、性能重視、性能同等以上を保障したMOSFET、低消費電力重視の3つのMOSFETを設計し、代表的な論理回路である4ビット乗算回路のシミュレーションを行い、遅延時間、消費電力を評価した。性能重視MOSFETは、動作周波数が約10倍、消費電力は約30%に、性能同等MOSFETは、動作周波数を同等以上に保ち、かつ消費

電力を約100分の1に削減、低消費電力重視MOSFETは、動作周波数は約5分の1に低下してしまうが、消費電力を、約1430分の1に削減した。電力時間積は、性能重視は約97.1%、性能同等は約99.5%、消費電力重視は約99.6%削減された。

5 結論

電界低減型スケーリング則を適用させたトランジスタは、消費電力、電力時間積の観点において有用である。動作周波数に関しては、一定電圧の場合において優位を示した。電源電圧を低減した場合において論理回路の動作周波数が低下した原因は、トランジスタのオン抵抗の増加によって有効電圧の値が小さくなったことに原因がある。しかし、これは電界一定スケーリング則にも言えることである。したがって、量子トンネル効果を抑制するためにゲート酸化膜厚を固定しても、従来の比例縮小則の場合と同一で変わらない。CMOS 論理回路の性能を決定する演算処理時間は、それを構成しているトランジスタのゲート容量とオン抵抗の積、つまり遅延時間によって決まる。したがって、オン抵抗が増大したとしても、それ以上にゲート容量を低減させることが出来れば、物性に依存せずともスケーリング則の恩恵を受け、論理回路の性能向上を図ることは可能である。ただし、本研究では、提案手法に起因したトランジスタのオン電流の減少問題や、シミュレーション実験による評価手法であるため、プロセス技術などの課題は残されている。