

Title	高性能LSIのためのポストシリコン・スキュー調整 の方式と最適化に関する研究
Author(s)	李, 健
Citation	
Issue Date	2011-09
Type	Thesis or Dissertation
Text version	author
URL	http://hdl.handle.net/10119/9929
Rights	
Description	Supervisor:金子 峰雄, 情報科学研究科, 修士

高性能 LSI のためのポストシリコン・スキュー調整の方式と最適化に関する研究

LI Jian(0910211)

北陸先端科学技術大学院大学 情報科学研究科

2011 年 8 月 10 日

キーワード: 同期回路, クロックスキュー, セットアップ条件, ホールド条件, 製造後調整.

LSI 製造技術の発展、特に半導体微細化の進展に伴い、製造ばらつきとそれによる歩留まり低下、性能劣化が最も重要な問題の一つになっている。デジタル集積回路において、製造ばらつきは動作タイミングのずれとなって現れ、回路の正しい動作を阻害することになる。一方で、こうした製造ばらつきによるタイミングエラーを回避するための設計マージンの確保は、集積回路の高性能化を難しくしている。この製造ばらつきによるタイミングエラーの問題を解決するための方法は大きく二つに分けられる。一つはプリ・シリコン（製造前）の設計方法であり、他の一つがポスト・シリコン（製造後）調整方法である。

前者の代表的な手法は統計的静的遅延解析（SSTA: Statistical Static Timing Analysis）とそれに基づく回路の最適化である。これは、トランジスタ等のデバイスの特性パラメータの確率分布（PDF: probability distribution function）、あるいはゲート回路や配線の信号伝搬遅延の確率分布などからシステム特性の統計的な確率分布を計算し、特性と歩留まりをトレードオフする手法であるが、デバイスやゲート回路特性の正確な確率を得るのが難しく、また製造後のチップの性能を十分に引き出せていないなどの問題もある。一方、後者のポスト・シリコン調整は製造されたチップ毎に、観察できる実際の情報を用いて、回路を物理的に調整することから、製造後のチップ個別の性能を十分に引き出せる有効的で、実用的な方法である。こうしたポスト・シリコン調整の代表的な手法として、クロックスキュー（クロック分配遅延）調整がある。

LSI の製造後のクロック調整手法では、予め回路にクロック分配遅延値を調整するための PDE（Programmable Delay Element）を組み込んでおき、製造後に回路中の PDE 値を設定することによって製造ばらつきに対して高い性能歩留まりを確保する。この方式について、回路設計上の問題と製造後のチップ個別の PDE 調整の問題があり、本研究は後者を対象としている。

本研究では、従来の遅延量計測と数値計算による PDE 調整量決定と異なり、PDE 制御とタイミングテストを繰り返すことにより PDE 調整を行うアルゴリズムを提案する。

ここでは順序回路を対象に、各 FF のクロック信号線に一つの PDE を挿入することで、FF 毎にクロック信号到着時刻を調整する。なお、 i 番目の FF(FF_i) に対して挿入された PDE_i は離散制御信号値 $R_i \in \{0, 1, \dots, 2^N - 1\}$ に応じて、遅延 $f_i(R_i)$ を発生する。 $f_i(R_i)$ そのものは製造ばらつきの対象となるが、 $f_i(a) < f_i(b), a < b$ を仮定する。

提案手法では相対補正制約有向グラフ (制約グラフ) と名付けたグラフ G が重要な役割を果たす。この相対補正制約グラフ G は FF(PDE) を頂点とし、FF 間のタイミング制約を辺とする有向グラフである。現在の PDE 設定に対するタイミングテストの結果から、相対的に一方の FF(FF_i) のクロック到着を他方の FF(FF_j) に対して遅らせる必要がある時、辺 (FF_j, FF_i) を赤辺とし、その必要がない時辺 (FF_j, FF_i) を緑辺とする。また各辺 (FF_j, FF_i) は、必要な調整量の差 $R_i - R_j$ の下界を重み w_{ij} として持つ。

提案する PDE 調整アルゴリズムではまず相対補正制約グラフ G を構築する。次に各 FF 間のセットアップタイミングテスト、ホールドテストを実施する。タイミングテストから得られタイミングエラーの種類と対応する FF の情報を用いて相対補正制約グラフの各辺を赤あるいは緑に着色し、辺重み w を更新する。制約グラフ G が辺重みについての正サイクルを持つとき、調整不可能として、終了する。正サイクルを持ってなければ、グラフの最長路問題として各辺の最小必要な差 w を満たす頂点離散制御信号値を求める。各頂点の離散制御信号値を回路の PDE に適用して、もう一度タイミングテストを実施する。全てのタイミング誤りを解決するまで、以上の操作を繰り返す。

ここで、次の定理が成り立つ。

定理: すべての PDE について遅延量 $f_i(R_i)$ が制御信号に対して線形で、且つ傾きが等しい時、提案アルゴリズムによって構成される相対補正制約グラフ G が正サイクルを持つ時、全てのタイミング違反を解消する PDE 離散制御信号値は存在しない。

最後に、遅延特性がばらついた回路に対する本手法による PDE 調整を計算機シミュレーション実験し、提案手法がタイミング違反が存在する回路の歩留まりを大きく改善することを確認した。一方、各 PDE の制御信号値に対する遅延関数の傾きばらつき (異なる PDE の関数についての傾きの違いや、一つの PDE の遅延関数の非線形性による制御信号値に依存した傾きの違い) によって、提案手法が存在すべき解を見つけられない場合があることも明らかとなった。PDE 遅延量の制御信号値に対する傾きのばらつきに対する調整性能の向上が一つの課題として残されている。実用的には回路のタイミング違反を解消する上に環境の変動 (温度、電圧など) に強い、いわゆる回路のタイミングマージンを最大化する調整手法を検討する必要がある。今のモデルの中に各 FF のクロック信号線に一つの DPE を挿入すると仮定しているが、実際に回路の規模を大きくしないために PDE の挿入コストを削減するのは今後の一つ課題である。タイミングテストについてすべてのパスのタイミングテスト結果を得られるとは限らないので、調整性能を保証する上にテストコストの削減が今後の課題になる。